**24.1 Введение**

Этот документ предназначен для предоставления программистам функциональной презентации ведущего/ведомого устройства многоканальный интерфейс последовательного порта (McSPI). Он также содержит описание регистра и модуль примера конфигурации.

McSPI - это универсальный главный/подчиненный контроллер приема/передачи, который может взаимодействовать с четырьмя ведомыми внешними устройствами или одним внешним ведущим устройством. Он допускает дуплексную, синхронную, последовательную связь между CPU и совместимыми с SPI внешними устройствами (ведомыми и ведущими).

**24.1.1 Функции McSPI**

Общие характеристики контроллера SPI:

- Буферный регистр данных приема/передачи на канал (глубиной 1 слово)

- Множественный доступ к данным SPI типа **word** с одним каналом с использованием FIFO

- Два запроса DMA на канал, одна линия прерывания

- Одиночная линия прерывания для нескольких событий источника прерывания

- Интерфейс последовательного канала поддерживает:

- Полнодуплексный/полудуплексный

- Многоканальные операции ведущего или одноканального ведомого устройства

- Программируемые 1-32-битные операции передачи/приема.

- Широкий выбор длин слов SPI, непрерывных от 4 до 32 бит

- До четырех каналов SPI

- SPI слово Transmit/Receive slot assignment на основе циклического арбитража

- Конфигурация SPI для каждого канала (определение тактового сигнала, включение полярности и ширины слова)

- Генерация тактирования поддерживает:

- Программируемая генерация главных синхросигналов (работающих с фиксированного 48-MHz функционального входа синхросигналов)

- Выбор фазы тактового сигнала и полярности тактового сигнала для каждой микросхемы.

**24.1.2 Неподдерживаемые функции McSPI**

Это устройство поддерживает только два набора микросхем для каждого модуля. Пробуждение модуля во время работы в подчиненном режиме не поддерживается, как отмечено в McSPI Clock and Reset Management.

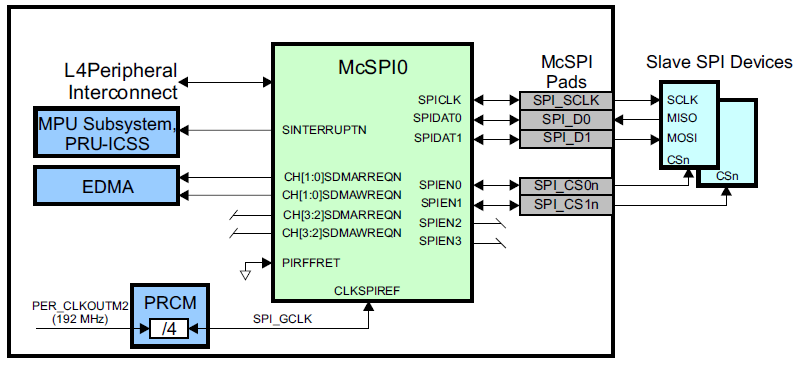
**Таблица 24-1. Неподдерживаемые функции McSPI**

|  |  |
| --- | --- |
| Функция | Причина |
| Chip selects 2 and 3 | Эти выводы не выведены на колодку выводов. |
| Slave mode wakeup | SWAKEUP не подключен |
| Retention during power down | Модуль не синтезирован с включенным сохранением во время включения режима низкого энергопотребления. |

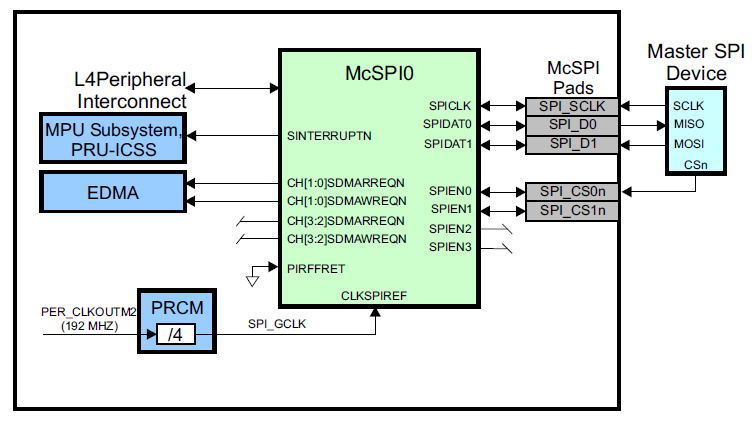
**24.2 Интеграция**

Это устройство включает в себя два экземпляра McSPI: SPI0 и SPI1. Модуль McSPI является модулем общего назначения (главный/подчиненный) контроллер (приема/передачи), который может взаимодействовать либо с четырьмя подчиненными внешними устройствами, либо с одним внешним мастером. На рис. 24-1 показан пример системы с несколькими внешними подчиненными SPI совместимыми устройствами, а на рис. 24-2 показан пример системы с внешним ведущим устройством.

**Рис. 24-1. Работа SPI в ведущем режиме**



**Рис. 24-2. Работа SPI в подчиненном режиме**

****

**24.2.1 Атрибуты подключения McSPI**

Общие атрибуты подключения модуля McSPI приведены в таблице 24-2.

**Таблица 24-2. Атрибуты подключения McSPI**

|  |  |
| --- | --- |
| Attributes | Type |
| Power Domain | Peripheral Domain |
| Clock Domain | PD\_PER\_L4LS\_GCLK (Interface/OCP)  PD\_PER\_SPI\_GCLK (Func) |
| Reset Signals | PER\_DOM\_RST\_N |
| Idle/Wakeup Signals | Smart Idle |
| Interrupt Requests | 1 interrupt to MPU subsystem and PRU-ICSS (McSPI0INT)  1 interrupt to MPU subsystem only (McSPI1INT) |
| DMA Requests | 4 DMA requests per instance to EDMA  • 1 RX request for CS0 (SPIREVT0)  • 1 TX request for CS0 (SPIXEVT0)  • 1 RX request for CS1 (SPIREVT1)  • 1 TX request for CS1 (SPIXEVT1) |
| Physical Address | L4 Peripheral slave port |

**24.2.2 Управление синхронизацией McSPI и сбросом**

Тактирование модуля SPI можно создать двумя способами: самим модулем SPI с помощью сигнала SWAKEUP (подробные условия приведены в функциональной спецификации модуля) или непосредственно от внешнего ведущего устройства SPI посредством обнаружения активного низкого уровня на входном выводе выбора микросхемы (**CS0n**) с помощью GPIO, подключенного к соответствуюему пину устройства. Ни один из этих методов не поддерживается на устройстве.

**Таблица 24-3. Тактовые сигналы McSPI**

|  |  |  |  |
| --- | --- | --- | --- |
| Clock Signal | Max Freq | Reference / Source | Comments |
| CLK Interface clock | 100 MHz | CORE\_CLKOUTM4 / 2 | pd\_per\_l4ls\_gclk From PRCM |
| CLKSPIREF Functional clock | 48 MHz | PER\_CLKOUTM2 / 4 | pd\_per\_spi\_gclk From PRCM |

**24.2.3 Список контактов McSPI**

Выводы интерфейса McSPI приведены в таблице 24-4.

**Таблица 24-4. Список контактов McSPI**

|  |  |  |
| --- | --- | --- |
| Pin | Type | Description |
| SPI*x*\_SCLK | I/O(1) | SPI serial clock (output when master,  input when slave) |
| SPI*x*\_D0 | I/O | Can be configured as either input or  output (MOSI or MISO) |
| SPI*x*\_D1 | I/O | Can be configured as either input or  output (MOSI or MISO) |
| SPI*x*\_CS0 | I/O | SPI chip select 0 output when master,  input when slave (active low) |
| SPI*x*\_CS1 | I/O | SPI chip select 1 output when master,  input when slave (active low) |

*(1) Эти сигналы также используются в качестве входных сигналов для данных повторного времени или синхронизации. Связанный бит CONF\_<module>\_<pin>\_RXACTIVE для этих сигналов должны быть установлены на 1, чтобы разрешить ввод данных обратно в модуль. Рекомендуется также последовательно устанавливать 33-омный резистор (рядом с процессором) на каждом из этих сигналов, чтобы избежать отражения сигнала.*