**24.1 Введение**

Этот документ предназначен для предоставления программистам функциональной презентации ведущего/ведомого устройства многоканального интерфейс последовательного порта (McSPI). Он также содержит описание регистра и модуль примера конфигурации.

McSPI - это универсальный главный/подчиненный контроллер приема/передачи, который может взаимодействовать с четырьмя ведомыми внешними устройствами или одним внешним ведущим устройством. Он допускает дуплексную, синхронную, последовательную связь между CPU и совместимыми с SPI внешними устройствами (ведомыми и ведущими).

**24.1.1 Функции McSPI**

Общие характеристики контроллера SPI:

- Буферный регистр данных приема/передачи на канал (глубиной 1 слово)

- Множественный доступ к данным SPI типа **word** с одним каналом с использованием FIFO

- Два запроса DMA на канал, одна линия прерывания

- Одиночная линия прерывания для нескольких событий источника прерывания

- Интерфейс последовательного канала поддерживает:

- Полнодуплексный/полудуплексный

- Многоканальные операции ведущего или одноканального ведомого устройства

- Программируемые 1-32-битные операции передачи/приема.

- Широкий выбор длин слов SPI, непрерывных от 4 до 32 бит

- До четырех каналов SPI

- SPI слово Transmit/Receive slot assignment на основе циклического арбитража

- Конфигурация SPI для каждого канала (определение тактового сигнала, включение полярности и ширины слова)

- Генерация тактирования поддерживает:

- Программируемую генерацию главных синхросигналов (работающих с фиксированного 48-MHz функционального входа синхросигналов)

- Выбор фазы тактового сигнала и полярности тактового сигнала для каждой микросхемы.

**24.1.2 Неподдерживаемые функции McSPI**

Это устройство поддерживает только два набора микросхем для каждого модуля. Пробуждение модуля во время работы в подчиненном режиме не поддерживается, как отмечено в McSPI Clock and Reset Management.

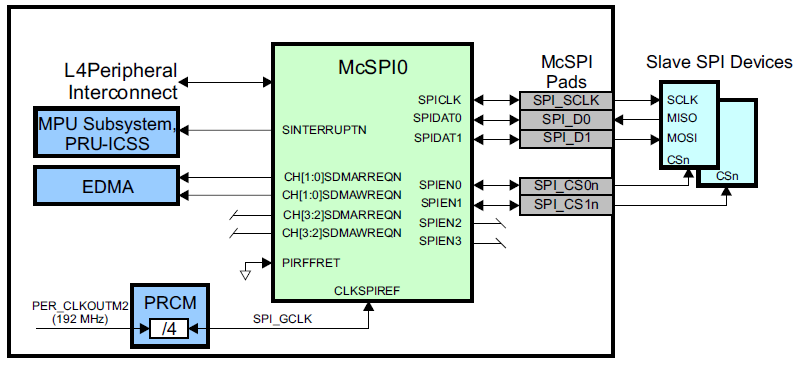
**Таблица 24-1. Неподдерживаемые функции McSPI**

|  |  |
| --- | --- |
| Функция | Причина |
| Chip selects 2 and 3 | Эти выводы не выведены на колодку выводов. |
| Slave mode wakeup | SWAKEUP не подключен |
| Retention during power down | Модуль не синтезирован с включенным сохранением во время включения режима низкого энергопотребления. |

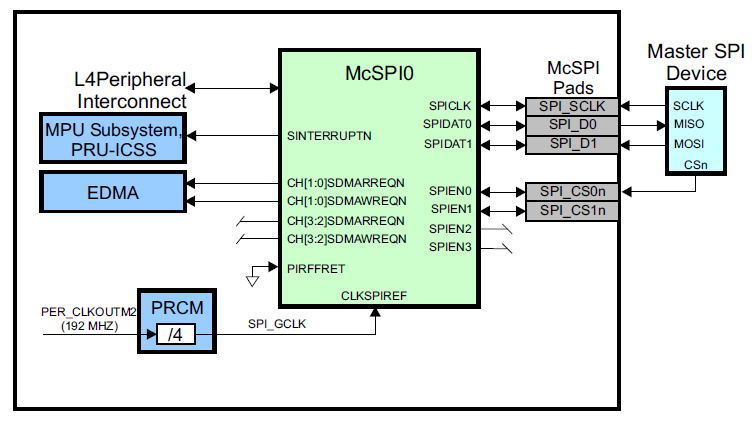
**24.2 Интеграция**

Это устройство включает в себя два экземпляра McSPI: SPI0 и SPI1. Модуль McSPI является модулем общего назначения (главный/подчиненный) контроллер (приема/передачи), который может взаимодействовать либо с четырьмя подчиненными внешними устройствами, либо с одним внешним мастером. На рис. 24-1 показан пример системы с несколькими внешними подчиненными SPI совместимыми устройствами, а на рис. 24-2 показан пример системы с внешним ведущим устройством.

**Рис. 24-1. Работа SPI в ведущем режиме**



**Рис. 24-2. Работа SPI в подчиненном режиме**

****

**24.2.1 Атрибуты подключения McSPI**

Общие атрибуты подключения модуля McSPI приведены в таблице 24-2.

**Таблица 24-2. Атрибуты подключения McSPI**

|  |  |
| --- | --- |
| Attributes | Type |
| Power Domain | Peripheral Domain |
| Clock Domain | PD\_PER\_L4LS\_GCLK (Interface/OCP)  PD\_PER\_SPI\_GCLK (Func) |
| Reset Signals | PER\_DOM\_RST\_N |
| Idle/Wakeup Signals | Smart Idle |
| Interrupt Requests | 1 interrupt to MPU subsystem and PRU-ICSS (McSPI0INT)  1 interrupt to MPU subsystem only (McSPI1INT) |
| DMA Requests | 4 DMA requests per instance to EDMA  • 1 RX request for CS0 (SPIREVT0)  • 1 TX request for CS0 (SPIXEVT0)  • 1 RX request for CS1 (SPIREVT1)  • 1 TX request for CS1 (SPIXEVT1) |
| Physical Address | L4 Peripheral slave port |

**24.2.2 Управление синхронизацией McSPI и сбросом**

Тактирование модуля SPI можно создать двумя способами: самим модулем SPI с помощью сигнала SWAKEUP (подробные условия приведены в функциональной спецификации модуля) или непосредственно от внешнего ведущего устройства SPI посредством обнаружения активного низкого уровня на входном выводе выбора микросхемы (**CS0n**) с помощью GPIO, подключенного к соответствуюему пину устройства. Ни один из этих методов не поддерживается на устройстве.

**Таблица 24-3. Тактовые сигналы McSPI**

|  |  |  |  |
| --- | --- | --- | --- |
| Clock Signal | Max Freq | Reference / Source | Comments |
| CLK Interface clock | 100 MHz | CORE\_CLKOUTM4 / 2 | pd\_per\_l4ls\_gclk From PRCM |
| CLKSPIREF Functional clock | 48 MHz | PER\_CLKOUTM2 / 4 | pd\_per\_spi\_gclk From PRCM |

**24.2.3 Список контактов McSPI**

Выводы интерфейса McSPI приведены в таблице 24-4.

**Таблица 24-4. Список контактов McSPI**

|  |  |  |
| --- | --- | --- |
| Pin | Type | Description |
| SPI*x*\_SCLK | I/O(1) | SPI serial clock (output when master,  input when slave) |
| SPI*x*\_D0 | I/O | Can be configured as either input or  output (MOSI or MISO) |
| SPI*x*\_D1 | I/O | Can be configured as either input or  output (MOSI or MISO) |
| SPI*x*\_CS0 | I/O | SPI chip select 0 output when master,  input when slave (active low) |
| SPI*x*\_CS1 | I/O | SPI chip select 1 output when master,  input when slave (active low) |

*(1) Эти сигналы также используются в качестве входных сигналов для данных повторного времени или синхронизации. Связанный бит CONF\_<module>\_<pin>\_RXACTIVE для этих сигналов должны быть установлены на 1, чтобы разрешить ввод данных обратно в модуль. Рекомендуется также последовательно устанавливать 33-омный резистор (рядом с процессором) на каждом из этих сигналов, чтобы избежать отражения сигнала.*

**24.3 Функциональное описание**

**24.3.1 Передача SPI**

В этом разделе описываются передачи, поддерживаемые McSPI. Протокол SPI является синхронным протоколом, что позволяет ведущему устройству инициировать последовательную связь с ведомым устройством. Происходит обмен данными между этими устройствами. Линия выбора подчиненного устройства (SPIEN) может использоваться для выбора отдельного подчиненного устройства. Невыбранные ведомые устройства не влияют на работу шины SPI. Подключеный к нескольким внешним устройствам, McSPI обменивается данными с одним устройством SPI одновременно через два основных режима:

- Режим интерфейса с двумя контактами данных.(полнодуплексный) (См. раздел 24.3.1.1)

- Однодуплексный режим интерфейса (рекомендуется для полудуплексной передачи). (См. раздел 24.3.1.2)

Гибкость McSPI позволяет обмениваться данными с несколькими форматами через программируемые параметры , как описано в разделе 24.3.1.3.

**24.3.1.1 Режим интерфейса с двумя контактами для передачи данных(полнодуплексный)**

Режим интерфейса с двумя контактами передачи данных обеспечивает полнодуплексную передачу по SPI, с передачей (сдвигается out serial) и приемом (сдвинут последовательно) данных одновременно по отдельным линиям данных SPIDAT [0] и SPIDAT [1]. Данные, выходящие из главного устройства, передаются по последовательной линии передачи данных, также известной как MOSI: MasterOutSlaveIn. Данные, покидающие подчиненное устройство, выходят из линии приема данных, также известной как MISO: MasterInSlaveOut.

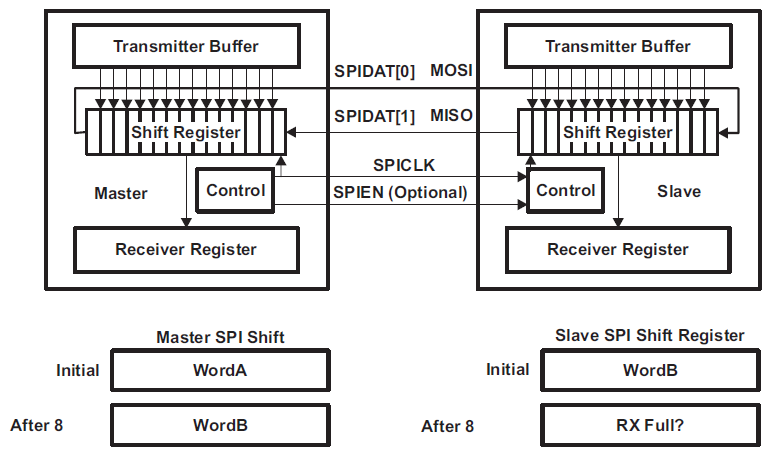
McSPI имеет унифицированное управление портом SPI: SPIDAT [1:0] может быть независимо сконфигурирован как принимающий или передающий канал. Пользователь несет ответственность за программирование линии данных для использования и направления (прием или передача), в соответствии с внешним подчиненным/ведущим соединением.

Последовательный синхросигнал (SPICLK) синхронизирует сдвиг и выборку информации с двух последовательных линий данных (SPIDAT [1:0]). Каждый раз, когда бит передается из ведущего устройства, один бит передается из подчиненного.

На рис. 24-3 показан пример полнодуплексной системы с ведущим устройством слева и ведомым устройством справа. После 8 циклов последовательного синхросигнала SPICLK WordA был перенесен с ведущего на подчиненное. В то же время 8-битный WordB был передан от ведомого к ведущему.

При обращении к ведущему устройству блок управления передает синхросигнал SPICLK и сигнал разрешения SPIEN (необязательно, см., **McSPI\_MODULCTRL**).

**Рис. 24-3. Полнодуплексная передача SPI**



**24.3.1.2 Режим интерфейса с одним выводом данных(полудуплексная)**

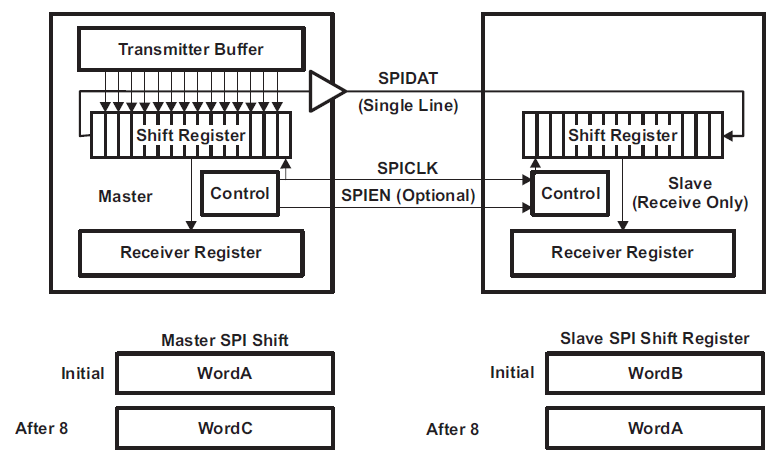
В режиме одиночного контактного интерфейса под управлением программного обеспечения для альтернативной передачи используется одна линия передачи данных и приема данных (полудуплексная передача).

McSPI имеет унифицированное управление портом SPI: SPIDAT [1:0], может быть независимо сконфигурирован как принимающий или передающий канал. Пользователь несет ответственность за программирование линии данных для использования и направления (прием или передача), в соответствии с внешним подчиненным/ведущим соединением.

Что касается полнодуплексной передачи, то последовательный синхросигнал (SPICLK) синхронизирует сдвиг и выборку информации по одиночной последовательной линии данных.

**24.3.1.2.1 Пример с подчиненным устройством только для приема**

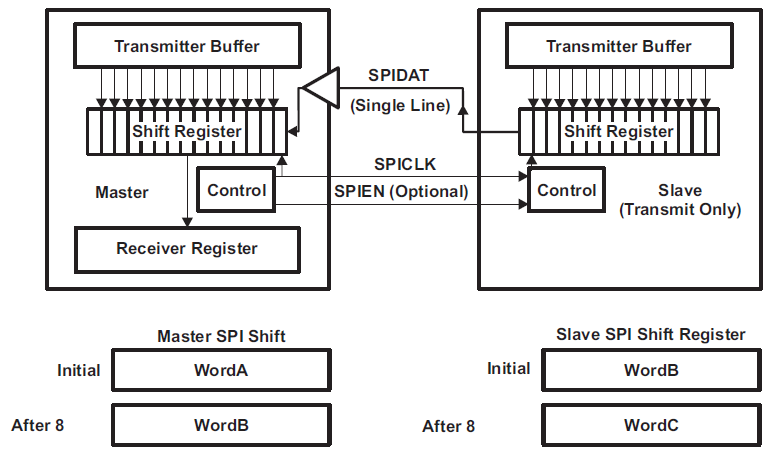
На рис. 24-4 показана полудуплексная система с ведущим устройством слева и ведомым устройством только для приема справа. Каждый раз, когда бит передается из ведущего устройства, один бит передается в подчиненном устройстве. После 8 циклов последовательных тактовых импульсов SPICLK, 8-битный WordA был передан от ведущего к ведомому.

**Рис. 24-4. Полудуплексная передача SPI (подчиненное устройство только приема)**

**24.3.1.2.2 Пример с подчиненным устройством только для передачи**

На рис. 24-5 показана полудуплексная система с ведущим устройством слева и ведомым устройством только для передачи справа. Каждый раз, когда бит передается из подчиненного устройства, один бит передается в ведущем устройстве. После 8 циклов последовательных тактовых импульсов SPICLK, 8-битный WordA был передан из подчиненного устройства в ведущее устройство.

**Рис. 24-5. Полудуплексная передача SPI (подчиненное устройство только для передачи)**



**24.3.1.3 Форматы передачи данных**

В этом разделе описываются форматы передачи, поддерживаемые McSPI.

Гибкость McSPI позволяет устанавливать параметры передачи SPI:

- длина слова SPI

- включение программируемой генерации SPI

- включение утверждения SPI

- включение полярности SPI

- тактовая частота SPI

- фаза синхросигнала SPI

- полярность синхросигнала SPI

Согласованность между длиной слова SPI, фазой синхронизации и полярностью синхронизации ведущего устройства SPI и взаимодействующим подчиненным устройством остается под ответственностью программного обеспечения.

**24.3.1.3.1 Длина программируемого слова**

McSPI поддерживает любое слово SPI длиной от 4 до 32 бит.

Длина слова SPI может быть изменена между передачами, чтобы позволить ведущему устройству осуществлять связь с периферийными подчиненными устройствами, имеющими различные требования.

**24.3.1.3.2 Программируемая генерация включения SPI**

McSPI может генерировать или не генерировать SPI enable. Если управление выбором микросхемы прекращено, a соединение «точка-точка» является обязательным. Только одно ведущее или ведомое устройство может быть подключен к шине SPI.

**24.3.1.3.3 Включение программируемого SPI (SPIEN)**

Полярность сигналов SPIEN программируется. Сигналы SPIEN могут быть активными высокими или низкими.

Утверждение сигналов SPIEN программируется. Сигналы SPIEN могут подаваться вручную или автоматически утверждается.

Два последовательных слова для двух различных подчиненных устройств могут идти вместе с активными сигналами SPIEN с различной полярностью.

**24.3.1.3.4 Программируемый синхросигнал SPI (SPICLK)**

Фаза и полярность последовательного синхросигнала SPI программируются, когда McSPI является мастер устройством SPI или подчиненным(slave) устройством SPI. Скорость передачи последовательного синхросигнала SPI программируется, когда McSPI является SPI мастером.

Когда McSPI работает как ведомый, последовательный синхросигнал SPICLK является входом ведущего устройства.

**24.3.1.3.5 Скорость передачи битов(Bit Rate)**

В режиме мастера внутренний опорный синхросигнал **CLKSPIREF** используется в качестве входа программируемого делителя на генерацию битовой скорости последовательного тактового сигнала **SPICLK**. Гранулярность этого делителя частоты может быть изменена.

**24.3.1.3.6 Полярность и фаза**

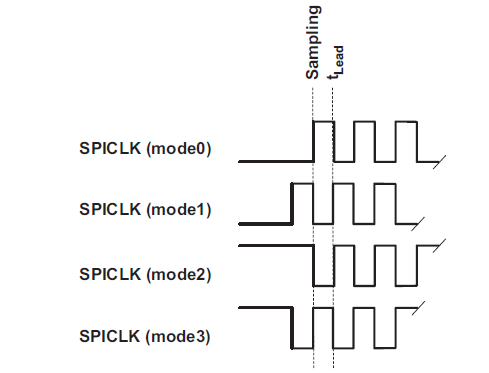
McSPI поддерживает четыре подрежима передачи формата SPI, которые зависят от полярности (POL) и фазы (PHA) последовательного синхросигнала SPI (SPICLK). В таблице 24-5 и на рис. 24-6 представлена сводная информация о четырех подрежимах. Программное обеспечение выбирает одну из четырех комбинаций фазы и полярности последовательного синхросигнала.

Два последовательных слова SPI для двух различных подчиненных устройств могут идти вместе с активным сигналом SPICLK с различной фазой и полярностью.

**Таблица 24-5. Комбинации фаз и полярности**

|  |  |  |  |
| --- | --- | --- | --- |
| Polarity (POL) | Phase (PHA) | SPI Mode | Comments |
| 0 | 0 | mode0 | SPICLK active high and sampling occurs on the rising edge. |
| 0 | 1 | mode1 | SPICLK active high and sampling occurs on the falling edge. |
| 1 | 0 | mode2 | SPICLK active low and sampling occurs on the falling edge. |
| 1 | 1 | mode3 | SPICLK active low and sampling occurs on the rising edge. |

**Рис. 24-6. Комбинации фаз и полярности**



**24.3.1.3.7 Формат передачи с PHA = 0**

В этом разделе описывается концепция передачи SPI с SPI mode0 и SPI mode2.

В формате передачи с PHA = 0 SPIEN активируется полуцикл SPICLK перед первым фронтом SPICLK.

Как в главном, так и в подчиненном режимах McSPI управляет линиями данных во время утверждения SPIEN.

Каждый кадр данных передается, начиная с MSB. В конце обеих линий данных SPI первый бит SPI слово является действительным полупериодом SPICLK после утверждения SPIEN.

Следовательно, первый край линии SPICLK используется ведущим устройством для выборки первого бита данных, посланного ведомым. На том же фронте первый бит данных, посланный ведущим устройством, дискретизируется подчиненным устройством.

На следующем фронте SPICLK принятый бит данных сдвигается в сдвиговый регистр, и новый бит данных передается по последовательной линии передачи данных.

Этот процесс продолжается для общего количества импульсов на линии SPICLK, определенной длиной слова SPI запрограммированого в главном устройстве, причем данные фиксируются на нечетных краях и сдвигаются на четные пронумерованные кромки.

Рис. 24-7 - временная диаграмма передачи SPI для SPI mode0 и SPI mode2, когда McSPI ведущий или ведомый, с частотой SPICLK равной частоте CLKSPIREF. Это не должно быть используется в качестве замены информации о синхронизации SPI и требований, описанных в руководстве по данным.

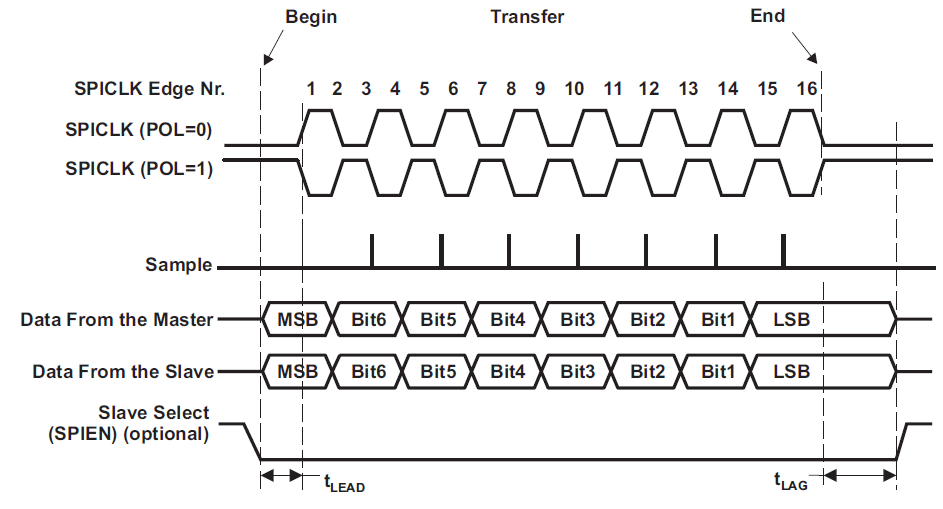
Когда McSPI находится в подчиненном режиме, если линия SPIEN не отменяется между последовательными передачами тогда содержимое регистра передатчика не передается, вместо этого передается последнее принятое SPI словом.

В мастер режиме линия SPIEN должна быть прижата к земле и восстановлена между каждым последовательным словом SPI.

Это происходит потому, что ведомый контакт выбора замораживает данные в своем сдвиговом регистре и не допускает их изменения если бит PHA равен 0.

В 3-контактном режиме без использования сигнала SPIEN контроллер обеспечивает ту же форму сигнала, но с SPIEN принудительно переведеным в низкое состояние. В подчиненном режиме SPIEN бесполезен.

**Рис. 24-7. Формат полнодуплексной одинарной передачи с PHA = 0**



**24.3.1.3.8 Формат передачи с PHA = 1**

В этом разделе описывается полнодуплексная передача SPI с SPI mode1 и SPI mode3.

В формате передачи с PHA = 1 SPIEN активируется с задержкой (**tLead**) перед первым фронтом SPICLK.

Как в главном, так и в подчиненном режимах McSPI управляет линиями данных на первом фронте SPICLK.

Каждый кадр данных передается, начиная с MSB. В конце обеих линий данных SPI первый бит слова SPI становится валидным на следующем крае SPICLK, полуцикла после SPICLK. Это край выборки действует для обоих как мастера так и подчиненного.

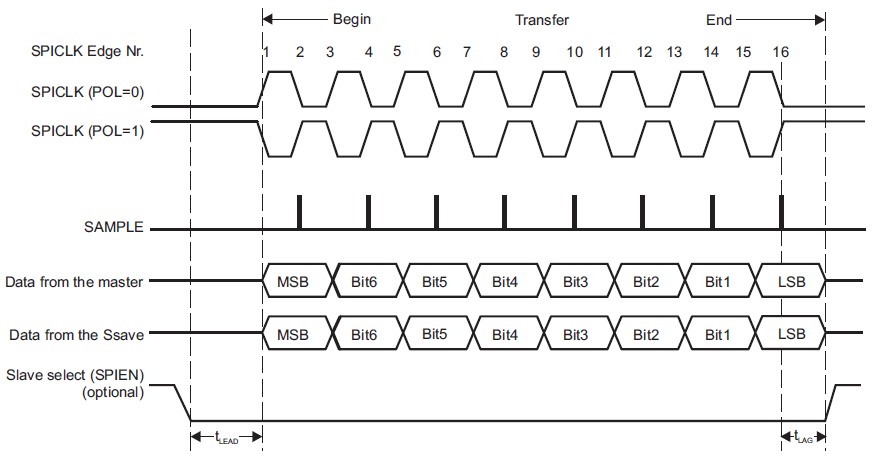
Когда происходит третий фронт, принятый бит данных сдвигается в сдвиговый регистр. Следующий бит данных ведущего устройство подается на последовательный входной вывод ведомого устройства.

Этот процесс продолжается для общего количества импульсов на линии SPICLK, определенной длиной слова, запрограммированной в главном устройстве, причем данные фиксируются на четных краях и сдвигаются на нечетных краях.

Рис. 24-8 - временная диаграмма передачи SPI для SPI mode1 и SPI mode3, когда McSPI ведущий или ведомый, с частотой **SPICLK** равной частоте **CLKSPIREF**. Это не должно быть использовано в качестве замены информации о синхронизации SPI и требований, описанных в руководстве по данным.

Линия SPIEN может оставаться активной между последовательными передачами. В 3-контактном режиме без использования сигнала SPIEN, контроллер обеспечивает ту же форму сигнала, но с SPIEN, принудительно переведенным в низкое состояние. В подчиненном режиме SPIEN бесполезен.

**Рис. 24-8. Формат полнодуплексной одинарной передачи с PHA = 1**



**24.3.2 Режим мастера**

McSPI находится в режиме матера, когда бит MS регистра MCSPI\_MODULCTRL очищен.

В мастер режиме McSPI поддерживает многоканальную связь с 4 мя независимыми SPI каналами связи. McSPI инициирует передачу данных по линиям данных (SPIDAT [1:0]) и генерирует тактовые (SPICLK) и управляющие сигналы (SPIEN) для одного ведомого устройства SPI одновременно.

**24.3.2.1 Выделенные ресурсы на канал**

В следующих разделах буква «i» указывает номер канала, который может быть 0, 1, 2 или 3. Каждый канал имеет следующие выделенные ресурсы:

- Его собственный канал включен, программируется с помощью бита EN регистра MCSPI\_CH (i) CTRL. Выведение из строя канала, вне передачи слова данных, остается под ответственностью пользователя.

- Его собственный регистр передатчика MCSPI\_TX поверх общего регистра сдвига. Если регистр передатчика пустой, установлен бит состояния TXS регистра MCSPI\_CH (i) STAT.

- Его собственный регистр приемника MCSPI\_RX поверх общего регистра сдвига. Если регистр приемника заполнен, установлен бит состояния RXS регистра MCSPI\_CH (i) STAT.

- Фиксированное распределение линий SPI ENABLE (SPIEN [i] порт для канала «i»), управление включением SPI является необязательным.

- Собственная конфигурация связи со следующими параметрами через регистр MCSPI\_CH (i) CONF

- Режимы передачи/приема, программируемые битовым полем TRM.

- Режим интерфейса (два контакта для передачи данных или один контакт для передачи данных) и назначение контактов для передачи данных, оба программируемые битами IS и DPE.

- длина слова SPI, программируемая битами WL.

- полярность SPIEN, программируемая битом EPOL.

- SPIEN остается активным между словами, программируемым с помощью бита FORCE.

- турборежим, программируемый с битом TURBO.

- частота SPICLK, программируемая с битом CLKD, гранулярность разделения тактового сигнала может быть измененной с использованием бита CLKG, коэффициент синхронизации затем объединяется со значением MCSPI\_CH (i) CTRL [EXTCLK]

- молярность SPICLK, программируемая битовым POL

- фаза SPICLK, программируемая битовым PHA.

- начальная разрядность, программируемая битом SBPOL.

- использовать буфер FIFO или нет (см. следующее примечание), программируемый с FFER и FFEW, в зависимости от режима передачи, (MCSPI\_CH (i) CONF [TRM]).

- два запроса DMA на события чтения и записи для синхронизации доступов чтения/записи контроллера DMA с деятельностью McSPI. Запросы DMA активируются битами DMAR и DMAW.

- Три события прерывания

*Примечание.Если в нескольких каналах установлено битовое поле разрешения FIFO (FFER или FFEW), FIFO не будет использоваться на любом канале. Программное обеспечение должно гарантировать, что только один разрешенный канал настроен для использования буфера FIFO.*

*В передачах будут использоваться последние загруженные параметры регистра MCSPI\_CH (i) CONF.*

*Параметры конфигурации: полярность SPIEN, режим Turbo, фаза SPICLK и полярность SPICLK загружается в регистр MCSPI\_CH (i) CONF только при отключенном канале. Пользователь несет ответственность за изменение других параметров регистра MCSPI\_CH (i) CONF при отсутствии передачи в интерфейсе SPI.*

**24.3.2.2 События прерывания в мастер режиме**

В мастер режиме события прерывания, связаны с состоянием регистра передатчика, TX\_empty и TX\_underflow. Событие прерывания, связанное с состоянием регистра приемника, является RX\_full.

**24.3.2.2.1 TX\_empty**

Событие TX\_empty активируется, когда канал активирован и его регистр передатчика становится пустым (временное событие). Включение канала автоматически вызывает это событие, за исключением только приема в мастер режиме. (См. раздел 24.3.2.5). Если буфер FIFO активизирован (параметр MCSPI\_CH (i) CONF [FFEW] имеет значение 1), то TX\_empty утверждается, как только в буфере достаточно места для записи определенного количества байтов по MCSPI\_XFERLEVEL[AEL].

Для удаления источника прерывания регистр передатчика должен быть загружен и очищен бит статуса прерывания TX\_empty (если событие включено как источник прерывания). (см. Раздел 24.3.4).

При включении FIFO новое событие TX\_empty не будет инициировано, пока CPU не выполнит количество операций записи в регистр передатчика, определенного в MCSPI\_XFERLEVEL[AEL]. Это ответственность ЦП для выполнения нужного количества операций записи.

**24.3.2.2.2 TX\_underflow**

Событие TX\_underflow активируется, когда канал активирован и если регистр передатчика или FIFO пуст (не обновляемый новыми данными) во время назначения сдвигового регистра.

Это TX\_underflow является безобидным предупреждением в мастер режиме.

Во избежание TX\_underflow события в начале передачи TX\_underflow события не активируется, когда данные не загружены в регистр передатчика с момента включения канала.

Во избежание возникновения TX\_underflow события регистр передачи (MCSPI\_TX (i)) должен быть загружен как можно реже.

Для отмены подтверждения линии прерывания TX\_underflow должен быть сброшен бит состояния прерывания (если событие включено как источник прерывания).

*Примечание.Если в нескольких каналах установлено битовое поле разрешения FIFO (FFER или FFEW), FIFO не будет использоваться на любом канале. Программное обеспечение должно гарантировать, что только один разрешенный канал настроен для использования буфера FIFO.*

**24.3.2.2.3 RX \_ full**

Событие RX\_full активируется при включении канала и заполнении регистра приемника (переходный процесс). Если буфер FIFO активизирован (параметр MCSPI\_CH (i) CONF [FFER] имеет значение 1), RX\_full устанавливается при количестве байтов в буфере равного уровню, определенному MCSPI\_XFERLEVEL[AFL].

Регистр приемника должен быть считан для удаления источника прерывания RX\_full, а бит состояния прерывания должен быть очищен для отмены подтверждения линии прерывания (если событие включено в качестве источника прерывания).

Когда FIFO включен, новое событие RX\_FULL не будет инициировано пока CPU не прочитает номер байтов, определенных в MCSPI\_XFERLEVEL[AFL]. В обязанности ЦП входит выполнение правильного количество операций чтения.

**24.3.2.2.4 Окончание подсчета слов.(EOW)**

Счетчик окончания события (EOW) активируется, когда канал включен и сконфигурирован для использования встроенного FIFO. Это прерывание возникает, когда контроллер выполнил количество передач, определенного в регистре MCSPI\_XFERLEVEL[WCNT]. Если значение было запрограммировано на 0000h, счетчик не включается и это прерывание не генерируется.

Прерывание счетчика EOW также указывает, что передача SPI остановлена в канале с использованием буфера FIFO.

Бит состояния прерывания EOW должен быть сброшен для отмены подтверждения линии прерывания (если событие активизировано как источник прерывания).

**24.3.2.3 Мастер режим передачи и приема**

Этот режим программируется для каждого канала (бит TRM регистра MCSPI\_CH (i) CONF).

Доступ канала к сдвиговым регистрам для передачи/приема основан на его передатчике и состоянии регистра получателя и алгоритме арбитража роунд-робин.

Канал, соответствующий приведенным ниже правилам, включается в циклический список уже активных каналов запланированных для передачи и/или приема. Арбитр пропускает канал, который не соответствует правилам и циклически ищет следующий включенный канал.

**Правило 1**: Только разрешенные каналы (бит EN регистра MCSPI\_CH (i) CTRL), могут быть запланированы на передачу и/или прием.

**Правило 2**: Разрешенный канал может быть запланирован, если его регистр передатчика не пуст (бит TXS регистр MCSPI\_CH (i) STAT) или его FIFO не пуст, когда буфер используется для соответствующего канала (бит FFE регистра MCSPI\_CH (i) STAT) во время назначения сдвигового регистра. Если регистр передатчика или FIFO пуст, в момент назначения регистра сдвига, активируется событие **TX\_underflow** и обрабатывается следующий разрешенный канал с новыми данными для передачи. (См. также режим **transmit only**).

**Правило 3**: активированный канал может быть обработан, если его регистр приема не заполнен (бит RXS регистра MCSPI\_CH (i) STAT)) или его FIFO не заполнен, когда буфер используется для соответствующего канала (бит FFF регистра MCSPI\_CH (i) STAT) во время назначения сдвигового регистра. (См. также режим приема). Поэтому регистр приемника FIFO не может быть перезаписан. Бит **RX\_overflow**, в регистре MCSPI\_IRQSTATUS никогда не устанавливается в этом режиме.

По завершении передачи слова SPI (установлен бит EOT регистра MCSPI\_CH (i) STAT) обновленный регистр передатчика для следующего запланированного канала загружают в сдвиговый регистр. Этот бит бессмысленен при использовании буфера для этого канала. Сериализация (передача и прием) начинается в соответствии с конфигурированием канальной связи. По завершении сериализации полученные данные передаются в регистр приема канала.

Встроенный FIFO доступен в этом режиме и, если сконфигурирован в одном направлении данных, передает или принимает, то FIFO рассматривается как уникальный 64-байтовый буфер. При конфигурировании в обоих направлениях передачи и приема данных, затем FIFO разделяется на два отдельных 32-байтовых буфера с собственным управлением адресным пространством. В последнем случае определение уровней AEL и AFL основано на 32 байтах и находится в ведении CPU.

**24.3.2.4 Мастер режим только передачи(transmit only)**

Этот режим устраняет необходимость считывания ЦП регистра приемника (минимизация перемещения данных) когда значима только передача.

Основной режим передачи программируется на канал (биты TRM регистра MCSPI\_CH (i) CONF).

В режиме «мастер transmit only» передача начинается после загрузки данных в регистр передатчика.

В этом режиме применимы **правило 1** и **правило 2**, определенные выше.

**Правило 3**, определенное выше, неприменимо: в режиме основной передачи регистр приемника или состояние FIFO «full» не препятствуют передаче, и регистр приемника всегда перезаписывается новым словом SPI. Это событие в регистре приемника не является значимым, когда имеет значение только передача. Итак, **RX\_overflow** бит, в регистре MCSPI\_IRQSTATUS никогда не устанавливается в этом режиме.

Модуль McSPI автоматически отключает состояние прерывания RX\_full. Соответствующий запрос на прерывание и запрос DMA Read не генерируется в мастер режиме передачи.

Состояние завершения сериализации задается битом EOT регистра MCSPI\_CH (i) STAT. Это является бессмысленным при использовании буфера для этого канала.

Встроенный FIFO доступен в этом режиме и может быть сконфигурирован с битовым полем FFEW в регистре MCSPI\_CH (i) CONF, тогда FIFO рассматривается как уникальный 64-байтовый буфер.

**24.3.2.5 Мастер режим только приема(receive only)**

Этот режим устраняет необходимость пополнения ЦП регистра передатчика (минимизация перемещения данных) когда значим только прием.

Мастер режим приема программируется на канал (биты TRM регистра MCSPI\_CH (i) CONF).

Мастер режим приема разрешает планирование канала только в пустом состоянии регистра приемника.

В этом режиме применимы **правило 1** и **правило 3**, определенные выше.

**Правило 2**, определенное выше, неприменимо: в мастер режиме приема только после первой загрузки регистра передатчика разрешенного канала, состояние регистра передатчика поддерживается полным. Содержание регистра передатчика всегда загружается в сдвиговый регистр во время назначения сдвигового регистра. Так, после первой загрузки регистра передатчика, биты TX\_empty и TX\_underflow, в регистре MCSPI\_IRQSTATUS никогда не устанавливаются в этом режиме.

Состояние завершения сериализации задается битом EOT регистра MCSPI\_CH (i) STAT. Бит RX\_full в регистре MCSPI\_IRQSTATUS устанавливается при загрузке принятых данных из регистра сдвига в регистр приемника. Этот бит не имеет смысла при использовании буфера для этого канала.

Встроенный FIFO доступен в этом режиме и может быть сконфигурирован с битовым полем FFER в регистре MCSPI\_CH (i) CONF, то FIFO рассматривается как уникальный 64-байтовый буфер.

**24.3.2.6 Одноканальный мастер режим**

Когда SPI сконфигурирован как мастер устройство с одним включенным каналом, назначением SPIM\_CSX сигнала можно управлять двумя различными способами:

- В 3-контактном режиме: MCSPI\_MODULCTRL[1] PIN34 и MCSPI\_MODULCTRL[0] SINGLE бит устанавливается в 1, контроллер передает слово SPI, как только регистр передачи или FIFO не пуст.

- В 4-х контактном режиме: MCSPI\_MODULCTRL[1] PIN34 бит очищен в 0 и MCSPI\_MODULCTRL [0] SINGLE бит имеет значение 1, SPIEN assertion/deassertion контролируется программным обеспечением (См. раздел 24.3.2.6.1) с использованием бита MCSPI\_CH (i) CONF [20] FORCE.

**24.3.2.6.1 Советы по программированию при переключении на другой канал**

Когда один канал включен и передача данных продолжается:

- Дождаться завершения передачи слова SPI (бит EOT регистра MCSPI\_CH (i) STAT установлен) до отключения текущего канала и включение другого канала.

- Сначала отключите текущий канал, а затем включите другой канал.

**24.3.2.6.2 Поддержка активного режима SPIEN (Force SPIEN)**

Непрерывные передачи разрешены вручную, поддерживая сигнал SPIEN активным для последовательной передачи SPI слов. Несколько последовательностей (конфигурирование/включение/отключение канала) могут выполняться без деактивации линии SPIEN. Этот режим поддерживается всеми каналами и может использоваться любая главная последовательность (transmit-receive, only transmit, only receive).

Поддержание активного режима SPIEN поддерживается в следующих случаях:

- Используется один канал (бит MCSPI\_MODULCTRL[Single] установлен в 1).

- Параметры передачи загружаются в регистр конфигурации (MCSPI\_CH (i) CONF) в соответствующий канал.

Состояние сигнала SPIEN программируется.

- Запись 1 в бит FORCE регистра MCSPI\_CH (i) CONF обеспечивает высокий уровень линии SPIEN, когда MCSPI\_CH (i) CONF [EPOL] установлен в нуль, и приводит его к низкому значению, когда установлен MCSPI\_CH (i) CONF [EPOL].

- Запись 0 в бит FORCE регистра MCSPI\_CH (i) CONF обеспечивает низкий уровень линии SPIEN, когда MCSPI\_CH (i) CONF [EPOL] установлен в нуль, и повышает его, когда установлен MCSPI\_CH (i) CONF [EPOL].

- Один канал включен (для параметра MCSPI\_CH (i) CTRL [En] установлено значение 1). Первый включенный канал активирует линию SPIEN.

После активизации канала сигнал SPIEN активируется с запрограммированной полярностью.

Как и в многоканальном ведущем режиме, начало передачи зависит от состояния регистра передатчика, состояния регистра приемника и режима, определенного битами TRM в регистре конфигурации (только передача, только прием или передача и прием) разрешенного канала.

Состояние завершения сериализации каждого слова SPI задается битом EOT в регистре MCSPI\_CH (i) STAT. Бит, RX\_full в регистре CSPI\_IRQSTATUS, устанавливается, когда принятые данные загружают из сдвигового регистра в регистр приемника.

Изменение параметров конфигурации распространяется непосредственно на интерфейс SPI. Если сигнал SPIEN активирован, пользователь должен убедиться, что конфигурация изменяется только между словами SPI, чтобы избежать повреждения текущего переноса.

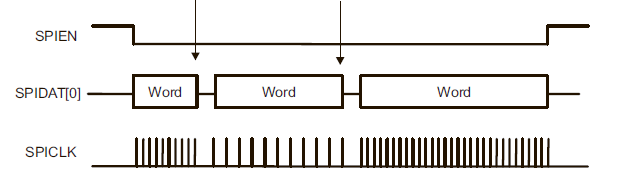
*ПРИМЕЧАНИЕ: Полярность SPIEN, фаза SPICLK и полярность SPICLK не должны изменяться, когда сигнал SPIEN активируется. Режим передачи/приема, программируемый битом TRM изменяться только в том случае, если канал отключен. Канал может быть отключен и включен при активации сигнала SPIEN.*

Задержка между словами SPI требует переключения подключенного ведомого устройства SPI от одной конфигурации (например только передачи) к другой (например только прием) это обрабатываться ПО.

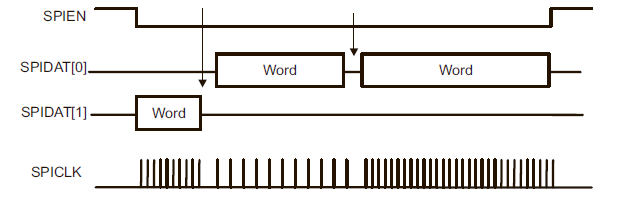
В конце последнего слова SPI канал должен быть деактивирован (MCSPI\_CH (i) CTRL [En] сбрасывается до 0) и SPIEN может быть принудительно переведен в неактивное состояние (MCSPI\_CH (i) CONF [Force]).

На рис. 24-9 и рис. 24-10 показаны последовательные передачи с низким уровнем активности SPIEN при другой конфигурации для каждого слова SPI в режиме интерфейса с одним контактом и режиме с двумя контактами. Стрелки указывают, когда канал отключен перед изменением параметров конфигурации и снова включен.

**Рис. 24-9. Непрерывные передачи с активной поддержкой SPIEN (одноподъемный режим интерфейса)**



**Рис. 24-10. Непрерывные передачи с активной поддержкой SPIEN (режим с двумя контактами для передачи данных)**



*ПРИМЕЧАНИЕ: Турборежим также поддерживается для активного режима Keep SPIEN, если выполняются условия:*

*- Будет явно использован один канал (бит MCSPI\_MODULCTRL[Single] имеет значение 1).*

*- Включен турборежим в конфигурации канала (бит Turbo регистра MCSPI\_CH (i) CONF).*

**24.3.2.6.3 Турборежим**

Целью режима Turbo является повышение пропускной способности интерфейса SPI, когда один канал разрешают передачу до тех пор, пока регистр сдвига и регистр приемника не заполнятся.

Этот режим программируется на канал (бит Turbo регистра MCSPI\_CH (i) CONF). Когда несколько каналов включены, бит Turbo регистров MCSPI\_CH (i) CONF не имеет эффекта, и канал доступа к регистрам смены остается в соответствии с разделом 24.3.2.3.

В турбо-режиме применяются **правило 1** и **правило 2**, определенные в разделе 24.3.2.3, но **правило 3** не применимо.

Разрешенный канал может быть запланирован, если его регистр приема заполнен (бит RXS регистра MCSPI\_CH (i) STAT) во время назначения сдвигового регистра до тех пор, пока сдвиговый регистр не заполнится.

В турбо-режиме применяются **правило 1** и **правило 2**, определенные в разделе 24.3.2.3, но **правило 3** не применимо.

Разрешенный канал может быть запланирован, если его регистр приема заполнен (бит RXS регистра MCSPI\_CH (i) STAT) во время назначения сдвигового регистра до тех пор, пока сдвиговый регистр не заполнится.

Регистр приемника не может быть перезаписан в режиме Turbo. В результате бит RX\_overflow, в регистре MCSPI\_IRQSTATUS никогда не устанавливается в этом режиме.

**24.3.2.7 Start-bit режим**

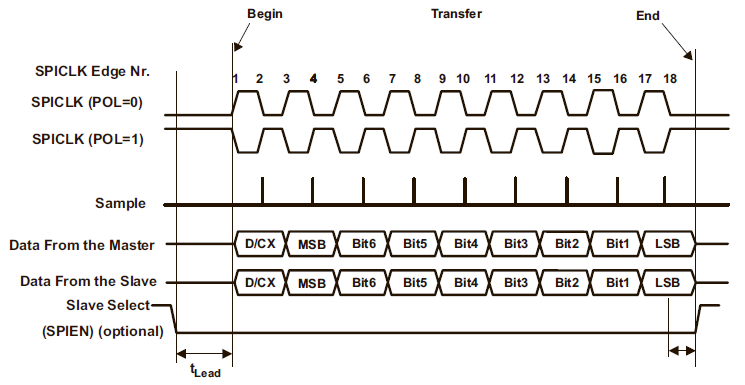
Целью режима start-bit является добавление расширенного бита перед передачей слова SPI, указанного в длине слова WL. Эта функция доступна только в мастер режиме.

Этот режим программируется на канал с использованием бита включения начального бита (SBE) регистра MCSPI\_CH (i) CONF).

Полярность расширенного бита программируется для каждого канала и указывает, должно ли следующее слово SPI обрабатываться как команда, когда SBPOL сбрасывается до 0, или как данные или параметр, когда SBPOL имеет значение 1. Кроме того, полярность SBPOL начального бита может динамически изменяться во время передачи режима начального бита без отключения канала для реконфигурации, в этом случае вы несете ответственность за конфигурирование бита SBPOL перед записью слова SPI для передачи в регистр TX.

Start-bit режим может использоваться одновременно с турбо режимом и/или ручным режимом выбора микросхемы. В этом в случае, если можно использовать только один канал, циклический арбитраж невозможен.

**Рис. 24-11. Расширенная передача SPI с начальным битом PHA = 1**

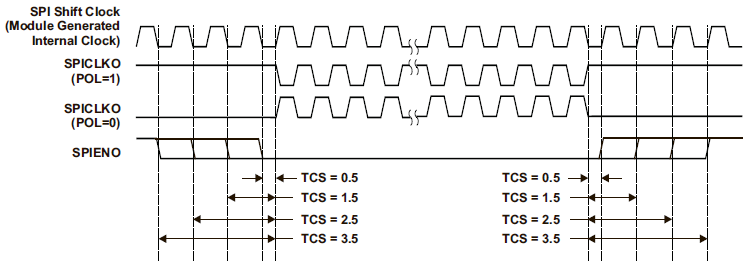


**24.3.2.8 Управление синхронизацией выбора микросхемы(CS)**

Управление синхронизацией выбора микросхемы доступно только в мастер режиме с автоматической генерацией CS (поле бита FORCE очищено до 0), чтобы добавить программируемую задержку между утверждением выбора микросхемы и первым фронтом тактового сигнала или выбора микросхемы и последний фронтом тактового сигнала. Опция доступна только в 4-контактном режиме MCSPI\_MODULCTRL[1] PIN34 сбрасывается в 0.

Этот режим программируется для каждого канала (бит TCS регистра MCSPI\_CH (i) CONF). Рис. 24-12 показывает управление синхронизацией SPIEN с выбором микросхемы.

**Рис. 24-12. Элементы управления синхронизацией SPIEN Chip-select**



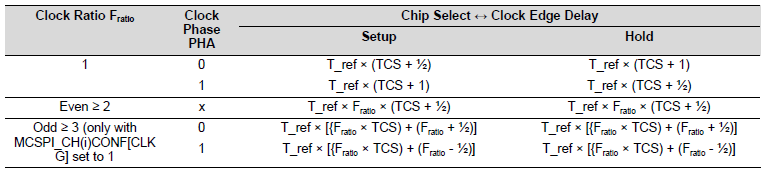
*ПРИМЕЧАНИЕ: Из-за реализации проекта для передач с использованием коэффициента деления тактовых импульсов, установленного на 1 (тактирование обходится), к значению доолжно быть прибавлено полцикла между утверждением выбора чипа и первый фронтом синхронизации с PHA = 1 или между удалением выбора микросхемы и последним фронтом синхронизации с PHA = 0.*

С нечетным коэффициентом деления тактового сигнала, который возникает, когда гранулярность составляет один тактовый цикл, это означает, что MCSPI\_CH (i) CONF [CLKG] установлен в 1, а MCSPI\_CH (i) CONF [CLKD] имеет равномерное значение, цикл тактовой нагрузки не составляет 50%, то выбирается один из высокого или низкого уровня длительности для добавления к задержке TCS.

В таблице 24-6 суммированы все задержки между выбором микросхемы и первым (установка) или последним (удержание) фронтом тактового сигнала.

В 3-контактном режиме эта опция бесполезна, выбор микросхемы SPIEN принудительно переводится в низкое состояние.

**Таблица 24-6. Выбор микросхемы ↔ Задержка фронта тактового синхросигнала в зависимости от конфигурации.**



T\_ref = период CLKSPIREF в не уточнено. Fratio = отношение делителя частоты SPI

Коэффициент деления тактового сигнала зависит от степени детализации делителя MCSPI\_CH (i) CONF [CLKG]:

- MCSPI\_CH (i) CONF [CLKG] = 0: гранулярность - мощность двух.

Fratio = 2MCSPI\_CH (i) CONF [CLKD]

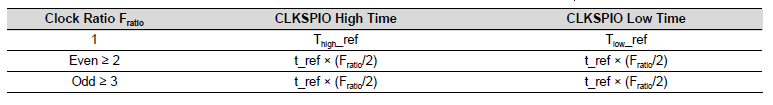
- MCSPI\_CH (i) CONF [CLKG] = 1: гранулярность составляет один цикл.

Fratio = MCSPI\_CH (i) CTRL [EXTCLK] × MCSPI\_CH (i) CONF [CLKD] + 1

**24.3.2.9 Степень детализации тактовых импульсов**

По умолчанию коэффициент деления частоты синхронизации определяется с помощью регистра MCSPI\_CH (i) CONF [CLKD] мощностью гранулярности два, приводящая к разделению тактового сигнала в диапазоне от 1 до 32768, в этом случае скважность всегда составляет 50%. С бит MCSPI\_CH (i) CONF [CLKG] гранулярность деления тактового сигнала может быть изменена на один тактовый цикл, при этом если регистр MCSPI\_CH (i) CTRL [EXTCLK] сцеплен с MCSPI\_CH (i) CONF [CLKD] для получения 12-битового отношение разделения по ширине в диапазоне от 1 до 4096.

Если гранулярность равна одному такту (MCSPI\_CH (i) CONF [CLKG] установлено в 1), для нечетного значения коэффициента тактовых импульсов выдерживают тактовый цикл до 50 на 50 с помощью заднего фронта опорного синхросигнала CLKSPIREF.

**Таблица 24-7. CLKSPIO Вычисление высокого/низкого времени** 

T\_ref = CLKSPIREF период в ns. Thigh\_ref = CLKSPIREF Высокий период времени в ns. Tlow\_ref = CLKSPIREF low time period in ns Fratio = коэффициент разделения тактового сигнала SPI

Fratio = MCSPI\_CH (i) CTRL [EXTCLK] × MCSPI\_CH (i) CONF [CLKD] + 1

Для значения нечетного отношения коэффициент заполнения рассчитывается следующим образом:

Duty\_cycle = ½

Примеры гранулярности: с тактовой частотой источника 48 МГц:

**Таблица 24-8. Примеры гранулярности тактовых импльсов**

|  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| MCSPI\_CH  (i)CTRL | MCSPI\_CH  (i)CONF | MCSPI\_CH  (i)CONF | Fratio | MCSPI\_CH  (i)CONF | MCSPI\_CH  (i)CONF | Thigh  (ns) | Tlow  (ns) | Tperiod  (ns) | Duty  Cycle | Fout  (MHz) |
| EXTCLK | CLKD | CLKG | PHA | POL |
| X | 0 | 0 | 1 | X | X | 10.4 | 10.4 | 20.8 | 50-50 | 48 |
| X | 1 | 0 | 2 | X | X | 20.8 | 20.8 | 41.6 | 50-50 | 24 |
| X | 2 | 0 | 4 | X | X | 41.6 | 41.6 | 83.2 | 50-50 | 12 |
| X | 3 | 0 | 8 | X | X | 83.2 | 83.2 | 166.4 | 50-50 | 6 |
| 0 | 0 | 1 | 1 | X | X | 10.4 | 10.4 | 20.8 | 50-50 | 48 |
| 0 | 1 | 1 | 2 | X | X | 20.8 | 20.8 | 41.6 | 50-50 | 24 |
| 0 | 2 | 1 | 3 | 1 | 0 | 31,2 | 31,2 | 62.4 | 50-50 | 16 |
| 0 | 2 | 1 | 3 | 1 | 1 | 31,2 | 31,2 | 62.4 | 50-50 | 16 |
| 0 | 3 | 1 | 4 | X | X | 41.6 | 41.6 | 83.2 | 50-50 | 12 |
| 5 | 0 | 1 | 81 | 1 | 0 | 842,4 | 842,4 | 1684.8 | 50-50 | 0.592 |
| 5 | 7 | 1 | 88 | X | X | 915.2 | 915.2 | 1830.4 | 50-50 | 0.545 |

**24.3.2.10 Управление буфером FIFO**

Контроллер McSPI имеет встроенный 64-байтовый буфер для выгрузки DMA или обработчика прерываний и улучшения пропускной способности данных.

Этот буфер может использоваться только одним каналом и выбирается путем установки MCSPI\_CH (i) CONF [FFER] и/или MCSPI\_CH (i) CONF [FFEW] - 1.

Если выбрано несколько каналов и для нескольких битовых полей разрешения FIFO установлено значение 1, контроллер форсирует отключение буфера для всех каналов. Драйвер несет ответственность за включение буфера только для одного канала.

Буфер может использоваться в режимах, определенных ниже:

- Главный или подчиненный режим.

- только передача, только прием или режим передачи/приема.

- Одноканальный или турбо-режим, или в обычном круговом режиме. В циклическом режиме используется буфер только по одному каналу.

- Поддерживаются все слова длины MCSPI\_CH (i) CONF [WL].

Управление буфером осуществляется на двух уровнях AEL и AFL расположенных в регистре MCSPI\_XFERLEVEL. Гранулярность этих уровней - один байт, таким образом они не выравниваются с длиной слова SPI. Это ответственность драйвера для установки этих значений кратно длине слова SPI, определенной в MCSPI\_CH (i) CONF [WL] .Число байт, записанных в FIFO, зависит от длины слова (см. таблицу 24-9).

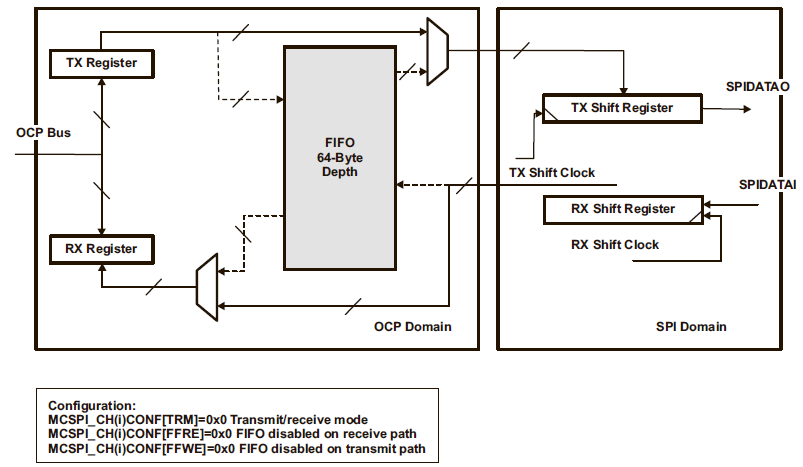
**Таблица 24-9. Записи FIFO, отношение длины слова**

|  |  |  |  |
| --- | --- | --- | --- |
|  | SPI Word Length WL | | |
|  | **3 ≤ WL ≤ 7** | **8 ≤ WL ≤ 15** | **16 ≤ WL ≤ 31** |
| Number of byte written in the FIFO | 1 byte | 2 bytes | 4 bytes |

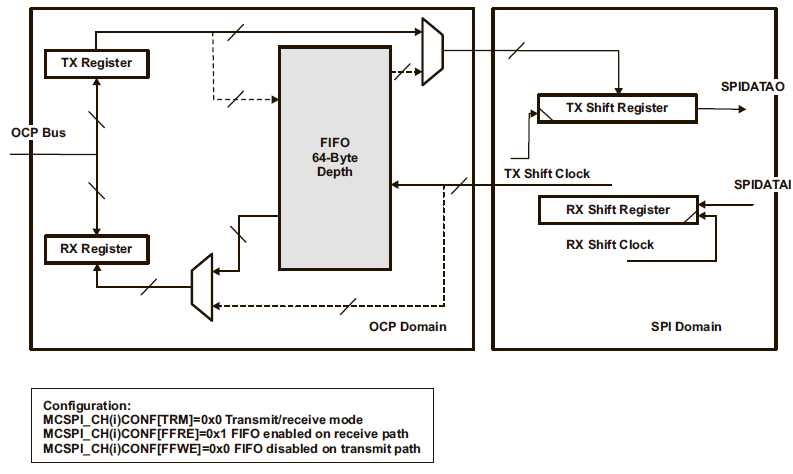
**24.3.2.10.1 Разделенный FIFO**

FIFO может быть разделен на две части, когда модуль сконфигурирован в режиме передачи/приема MCSPI\_CH (i) CONF [TRM] сбрасывается на 0 и назначены MCSPI\_CH (i) CONF [FFER] и MCSPI\_CH (i) CONF [FFEW]. Тогда система может получить доступ к 32-байтовой глубине FIFO на направление.

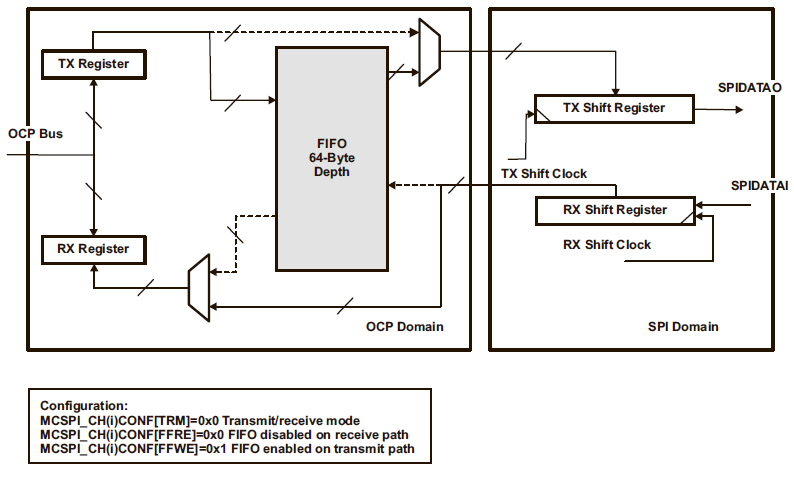
Указатели буфера FIFO сбрасываются, когда соответствующий канал включен или конфигурация FIFO изменяется.

**Рис. 24-13. Режим передачи/приема без использования FIFO**

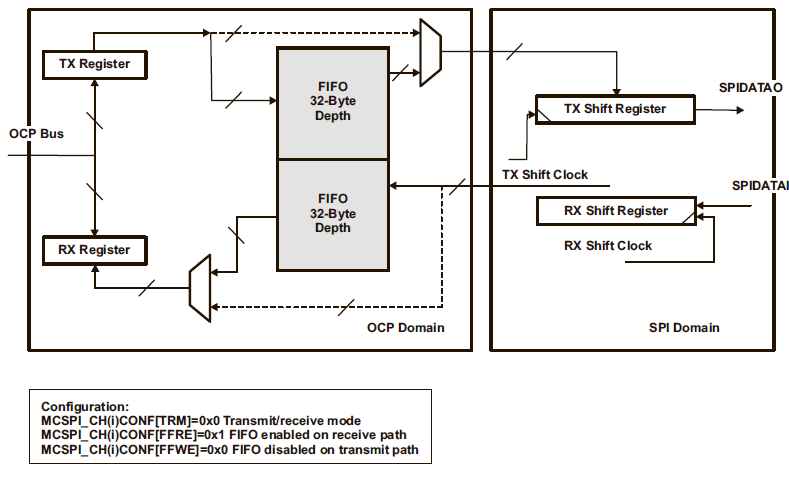
**Рис. 24-14. Режим передачи/приема с включенным только FIFO приемом**

****

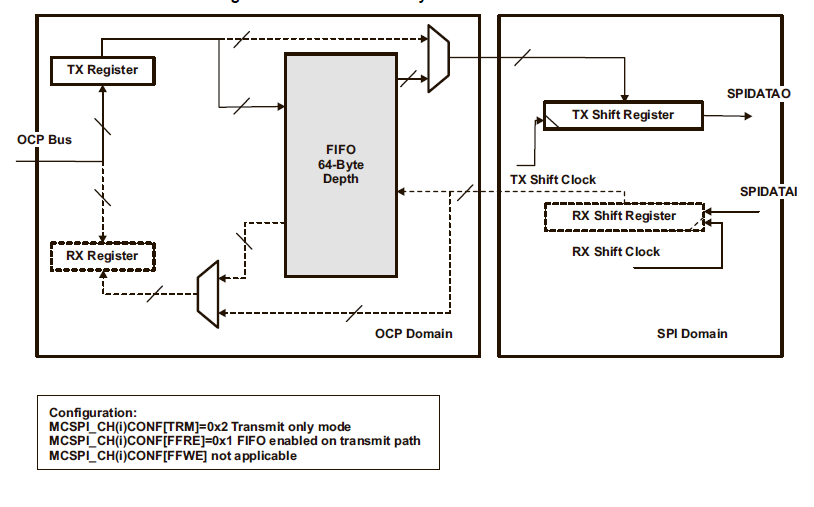
**Рис. 24-15. Режим передачи/приема с использованием только FIFO передачи**

****

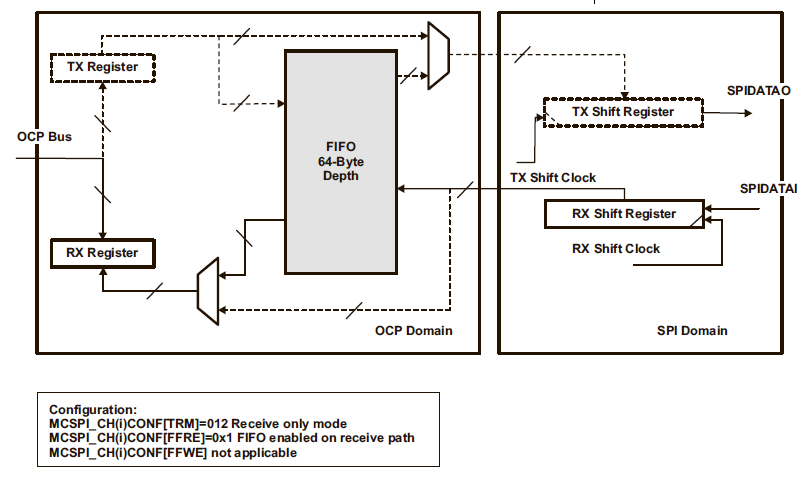
**Рис. 24-16. Режим передачи/приема с использованием обоих направлений FIFO**

****

**Рис. 24-17. Режим только передачи с использованием FIFO**

****

**Рис. 24-18. Режим только приема с использованием FIFO**

****

**24.3.2.10.2 Буфер почти заполнен**

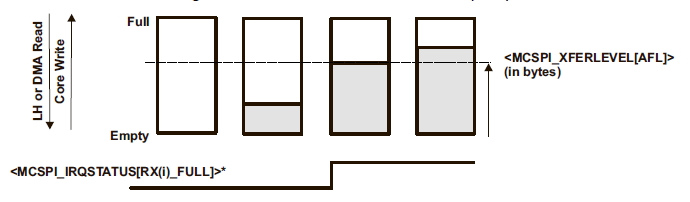
Битовое поле MCSPI\_XFERLEVEL[AFL] необходимо, когда буфер используется для приема слова SPI от slave (MCSPI\_CH (i) CONF [FFER] должен иметь значение 1). Он определяет состояние почти полного буфера.

Когда указатель FIFO достигает этого уровня, в CPU посылается прерывание или запрос DMA для активизации системы для считывания байтов AFL + 1 из регистра приема. Будьте внимательны, AFL + 1 должен соответствовать кратному значению MCSPI\_CH (i) CONF [WL].

Когда используется DMA, запрос отменяется после считывания первого регистра приема.

Новый запрос не будет заявлен до тех пор, пока система не выполнит правильное количество операций чтения из буфера.

**Рис. 24-19. Буфер почти полного уровня (AFL)**



**\* только в режиме без DMA. В режиме DMA запрос DMA RX утверждается до его активного уровня при одинаковых условиях.**

*ПРИМЕЧАНИЕ: SPI\_IRQSTATUS регистровые биты недоступны в режиме DMA. В режиме DMA SPIm\_DMA\_RXn запрос подается на тех же условиях, что и флаг SPI\_IRQSTATUS RXn\_FULL.*

**24.3.2.10.3 Буфер почти пуст**

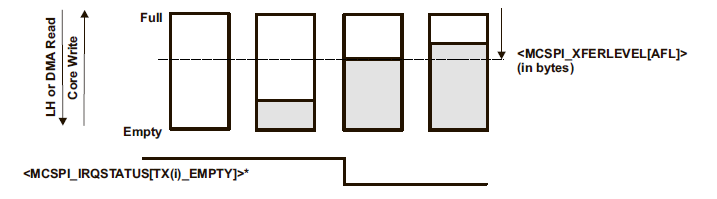
Битовое поле MCSPI\_XFERLEVEL[AEL] необходимо, когда буфер используется для передачи слова SPI ведомому устройству.(MCSPI\_CH (i) CONF [FFEW] должно быть равно 1). Он определяет состояние почти пустого буфера.

Если указатель FIFO не достиг этого уровня, в CPU посылается прерывание или запрос DMA для включения системаыдля записи байтов AEL + 1 для передачи регистра. Будьте внимательны, AEL + 1 должен соответствовать множественному значению MCSPI\_CH (i) CONF [WL].

Когда используется DMA, запрос отменяется после первой записи регистра передачи.

Новый запрос не будет заявлен до тех пор, пока система не выполнит правильное количество операций записи.

**Рис. 24-20. Буфер почти пустого уровня (AEL)**



**\* только в режиме без DMA. В режиме DMA запрашивается TX DMA до его активного уровня при одинаковых условиях.**

**24.3.2.10.4 Окончание управления передачей**

Если для канала активизирован буфер FIFO, пользователь должен сконфигурировать регистр MCSPI\_XFERLEVEL, уровни AEL и AFL и, особенно, битовое поле WCNT для определения количества SPI-слов переносимых с использованием FIFO. Это необходимо сделать перед включением канала.

Этот счетчик позволяет контроллеру правильно остановить передачу после того, как определенное число SPI-слов было переведено. Если WNCT сброшен на 0, счетчик не используется, и пользователь должен остановить передачу вручную путем отключения канала, в этом случае пользователь не знает, сколько было передач SPI завершено. Для передачи приема программное обеспечение опрашивает соответствующее поле бита FFE и считывает регистр приема, чтобы очистить буфер FIFO.

Когда генерируется прерывание счетчика конца слова, пользователь может отключить канал и выполнить опрос регистра MCSPI\_CH (i) STAT [FFE], чтобы знать, есть ли еще SPI слово в буфере FIFO и читать последние слова.

**24.3.2.10.5 Множественный доступ к SPI словам**

CPU имеет возможность осуществлять множественный доступ к словам SPI к регистрам приема или передачи в пределах одинарного 32-битный доступа OCP путем установки битового поля MCSPI\_MODULCTRL[MOA] в «1» под определенными условиями:

- Выбранный канал имеет разрешение FIFO.

- Только режим FIFO поддерживает такой тип доступа.

- Битовое поле MCSPI\_MODULCTRL[MOA] имеет значение 1

- Только 32-битный доступ OCP и ширина данных могут быть выполнены для приема или передачи регистров, для других типов доступа, при котором CPU должен отменить утверждение битовых полей MCSPI\_MODULCTRL[MOA].

- Уровень MCSPI\_XFERLEVEL[AEL] и MCSPI\_XFERLEVEL[AFL] должны быть 32-разрядными, это означает что AEL [0] = AEL [1] = 1 или AFL [0] = AFL [1] = 1.

- Если используется MCSPI\_XFERLEVEL[WCNT], он должен быть сконфигурирован в соответствии с длиной слова SPI.

- Длина слова SPI позволяет осуществлять множественный доступ к SPI, что означает, что MCSPI\_CH (i) CONF [WL] < 16.

Количество обращений к слову SPI в зависимости от длины слова SPI:

- 3 ≤ WL ≤ 7, длина слова SPI меньше или равна длине байта, четыре слова SPI доступны на 32-битный OCP чтение/запись. Если используется счетчик слов (MCSPI\_XFERLEVEL[WCNT]), установите битовое поле в значение WCNT [0] = WCNT [1] = 0.

- 8 ≤ WL ≤ 15, длина слова SPI больше байта или равна 16-битной длине, два слова SPI доступны для каждого 32-разрядного чтения/записи OCP. Если используется счетчик слов (MCSPI\_XFERLEVEL[WCNT]), установите битовое поле в значение WCNT [0] = 0.

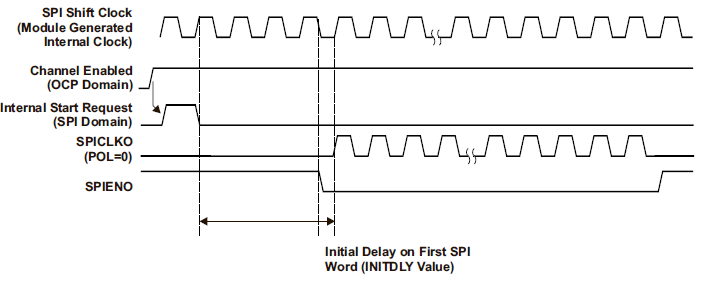
- 16 ≤ Доступ к нескольким SPI-словам WL неприменим.

**24.3.2.11 Задержка первого SPI-слова**

Контроллер McSPI имеет возможность задерживать передачу первого слова SPI, чтобы дать время системе завершить некоторые параллельные процессы или заполнить FIFO для улучшения полосы пропускания передачи. Эта задержка применяется только в первом слове SPI после включения канала SPI и первой записи в регистр передачи. Он основан на выходной частоте тактирования.

Эта опция имеет значение в мастер режиме и одноканальном режиме, MCSPI\_MODULCTRL[SINGLE] = 1.

**Рис. 24-21. Начальная задержка главного одноканального устройства**



Доступно несколько значений задержки: без задержки, 4/8/16/32 циклов SPI. Его точность равна половине цикла в режиме обхода тактирования и зависит от полярности и фазы тактирования.

**24.3.2.12 3- или 4-Pin режим**

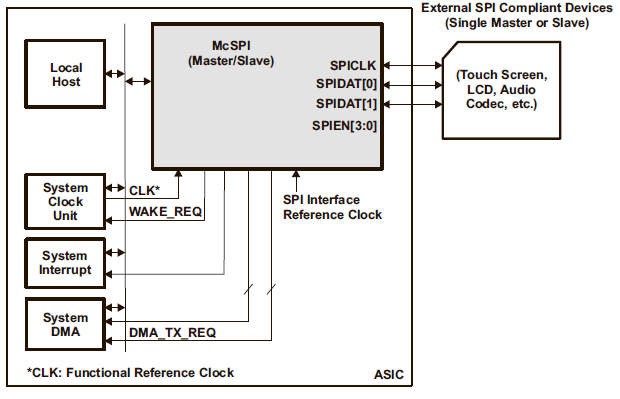
Интерфейс внешней шины SPI может быть сконфигурирован для использования ограниченного набора контактов с использованием битового поля MCSPI\_MODULCTRL[PIN34] и в зависимости от целевого применения:

- Если значение MCSPI\_MODULCTRL[PIN34] сброшено до 0 (значение по умолчанию), контроллер находится в 4-контактном режиме с помощью контактов SPI SPICLK, SOMI, SIMO и CS.

- Если MCSPI\_MODULCTRL[PIN34] установлено в 1, контроллер находится в 3-контактном режиме с помощью контактов SPI SPICLK, SOMI и SIMO.

В 3-контактном режиме необходимо перевести контроллер в одноканальный главный режим (MCSPI\_MODULCTRL[SINGLE] утверждается) и для подключения к шине только одного устройства SPI.

**Рис. 24-22. Обзор системы 3-Pin Mode**



В 3-контактном режиме все опции, связанные с управлением выбором микросхемы, бесполезны:

• MCSPI\_CHxCONF[EPOL]

• MCSPI\_CHxCONF[TCS0]

• MCSPI\_CHxCONF[FORCE]

Вывод выбора микросхемы SPIEN принудительно устанавливается в «0» в этом режиме.

**24.3.3 Слэйв режим**

McSPI находится в подчиненном режиме, когда установлен бит MS в регистре MCSPI\_MODULCTRL.

В подчиненном режиме McSPI может быть подключен к 4 внешним ведущим устройствам SPI. McSPI обслуживает транзакции и с одним ведущим устройством SPI одновременно.

В подчиненном режиме McSPI инициирует передачу данных по линиям передачи данных (SPIDAT [1; 0]) при получении тактового сигнала SPI (SPICLK) от внешнего ведущего устройства SPI.

Контроллер может работать с чипом SPIEN или без него в зависимости от бита установки MCSPI\_MODULCTRL[PIN34]. Он также поддерживает передачи без мертвого цикла между двумя последовательными слова.

**24.3.3.1 Выделенные ресурсы**

В подчиненном режиме включение канала, не являющегося каналом 0, не имеет эффекта. Может быть включен только канал 0.

Канал 0 в подчиненном режиме имеет следующие ресурсы:

- Его собственный канал включен, программируется с помощью бита EN регистра MCSPI\_CH0CTRL. Этот канал должен быть включен перед передачей и приемом. Отключение канала, внешнего слова данных передача остается в ведении пользователя.

- Любой из 4 портов SPIEN [3:0] может использоваться в качестве подчиненного устройства SPI. Это программируется с помощью BITS SPIENSLV в регистре MCSPI\_CH0CONF.

- Его собственный регистр передатчика MCSPI\_TX поверх общего регистра сдвига. Если регистр передатчика пуст, установлен бит состояния TXS в регистре MCSPI\_CH0STAT. Когда McSPI выбирается внешним мастером (активный сигнал порта SPIEN, назначенный каналу 0), содержимое регистра передатчика канала 0 всегда загружается в сдвиговый регистр независимо от того, было ли оно обновлено или нет. Регистр передатчика должен быть загружен до выбора McSPI мастер устройством.

- Его собственный регистр приемника MCSPI\_RX поверх общего регистра сдвига. Если регистр приемника заполнен, устанавливается бит состояния RXS в регистре MCSPI\_CH0STAT.

*ПРИМЕЧАНИЕ: Регистр передатчика и регистры приемника других каналов не используются. Читать из или Запись в регистры канала, отличного от 0, не имеет эффекта.*

- Собственная конфигурация связи со следующими параметрами через регистр MCSPI\_CH0CONF:

- Режимы передачи/приема, программируемые битовым TRM.

- Режим интерфейса (два контакта для передачи данных или один контакт для передачи данных) и назначение контактов для передачи данных, оба программируемые битами IS и DPE.

- длина слова SPI, программируемая битами WL.

- полярность SPIEN, программируемая битом EPOL.

- полярность SPICLK, программируемая битовым POL.

- фаза SPICLK, программируемая битовым PHA.

- использовать буфер FIFO или нет, программируемый с FFER и FFEW, в зависимости от режима передачи TRM.

Частота SPICLK передачи управляется внешним ведущим SPI, подключенным к McSPI. Биты CLKD0 регистра MCSPI\_CH0CONF не используются в подчиненном режиме.

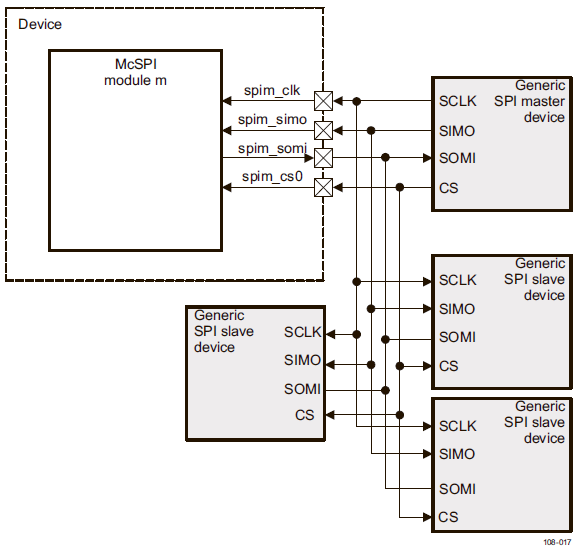
*ПРИМЕЧАНИЕ: Конфигурация канала может быть загружена в регистр MCSPI\_CH0CONF только тогда, когда канал отключен.*

- Два запроса DMA на события чтения и записи для синхронизации доступов чтения/записи контроллера DMA с деятельностью McSPI. Запросы DMA активируются битами DMAR и DMAW в регистре MCSPI\_CH0CONF.

- Четыре события прерывания.

На рис. 24-23 показан пример четырех подчиненных устройств, подключенных к одному ведущему устройству.

**Рис. 24-23. Пример подчиненного устройства SPI с одним ведущим и несколькими подчиненными устройствами на канале 0**



**24.3.3.2 События прерывания в подчиненном режиме**

События прерывания, связанные с состоянием регистра передатчика, являются TX\_empty и TX\_underflow. События прерывания, связанные с состоянием регистра приемника, являются RX\_full и RX\_overflow.

**24.3.3.2.1 TX\_EMPTY**

Событие TX\_empty активируется, когда канал активизирован и его регистр передатчика становится пустым. Включение канала автоматически вызывает это событие. Когда буфер FIFO включен (MCSPI\_CH (i) CONF [FFEW] установлен в 1), TX\_empty утверждается, как только достаточно места для записи числа байтов, определенных в регистре MCSPI\_XFERLEVEL[AEL].

Регистр передатчика должен быть загружен для удаления источника прерывания TX\_empty а бит состояния прерывания должен быть очищен для отмены подтверждения линии прерывания (если событие активизировано в качестве источника прерывания).

Если функция FIFO включена, новое событие TX\_empty не будет инициировано до тех пор, пока хост не выполнит количество записей в регистр передатчика, определенный в MCSPI\_XFERLEVEL[AEL]. Это ответственность локального хоста для выполнения нужного количества операций записи.

**24.3.3.2.2 TX\_UNDERFLOW**

Событие TX\_underflow активируется при активизации канала и регистре передатчика или FIFO (если использование буфера включено) является пустым (не обновляется новыми данными), когда внешнее ведущее устройство запускает передачу данных с McSPI (передача и прием).

Когда FIFO активизирован, данные, считываемые при установке флага «underflow», не будут последним словом, записанным в FIFO.

Это TX\_underflow указывает на ошибку (потерю данных) в подчиненном режиме.

Во избежание события TX\_underflow в начале передачи, событие TX\_underflow не активируется, пока данные не загружены в регистр передатчика с момента включения канала.

Бит TX\_underflow должен быть сброшен для отмены подтверждения линии прерывания (если событие включено как источник прерывания).

**24.3.3.2.3 RX\_FULL**

Событие RX\_FULL активируется, когда канал активизирован, и приемник заполняется (переходное событие). Если буфер FIFO активизирован (параметр MCSPI\_CH (i) CONF [FFER] имеет значение 1), RX\_FULL устанавливается сразу после того как в буфере имеется некоторое количество байтов для чтения, определяемых в регистре CSPI\_XFERLEVEL[AFL].

Регистр приемника должен быть считан для удаления источника прерывания RX\_full а бит состояния прерывания должен быть очищен для отмены подтверждения линии прерывания (если событие активизировано в качестве источника прерывания).

Если функция FIFO включена, новое событие RX\_FULL не будет инициировано до тех пор, пока хост не выполнит количество считываний из регистра приема, определенного в MCSPI\_XFERLEVEL[AFL]. Это ответственность локального хоста для выполнения нужного количества операций чтения.

**24.3.3.2.4 RX\_OVERFLOW**

Событие RX0\_OVERFLOW активируется в подчиненном режиме либо в режиме передачи и приема, либо только в режиме приема, когда канал включен и регистр SPI\_RXn или FIFO заполнен, в то время как получается новое слово SPI. Регистр SPI\_RXn всегда перезаписывается новым словом SPI. Если FIFO активизирован и данные в FIFO перезаписываются, он должен считаться поврежденным. Событие RX0\_OVERFLOW должно не отображаться в подчиненном режиме с помощью FIFO.

RX0\_OVERFLOW указывает на ошибку (потери данных) в подчиненном режиме.

Статус прерывания SPI\_IRQSTATUS[3] RX0\_OVERFLOW должен быть очищен для отмены назначения линии прерывания (если событие включено в качестве источника прерывания).

**24.3.3.2.5 Счетчик окончания слов**

Счетчик окончания события (EOW) активируется, когда канал включен и сконфигурирован для использования встроенного FIFO. Это прерывание возникает, когда контроллер выполнил количество передач, определенное в регситре MCSPI\_XFERLEVEL[WCNT]. Если значение было запрограммировано на 0x0000, счетчик не включается и это прерывание не генерируется.

Прерывание счетчика EOW также указывает, что передача SPI остановлена в канале с использованием буфера FIFO.

Бит состояния прерывания EOW должен быть сброшен для отмены подтверждения линии прерывания (если событие активизировано как источник прерывания).

**24.3.3.3 Режим передачи и приема ведомого устройства**

Режим передачи и приема ведомого устройства является программируемым (бит TRM сбрасывается в 0 в регистре MCSPI\_CH (i) CONF).

После того как канал активизирован, передача и прием продолжается с событиями прерывания и запроса DMA.

В подчиненном режиме передачи и приема регистр передатчика должен быть загружен до того как McSPI будет выбран внешним мастер устройством SPI.

Содержимое регистра передатчика или FIFO (если включено) всегда загружается в сдвиговый регистр, независимо от того, обновлен он или нет. Событие TX\_underflow активируется соответствующим образом и не предотвращает передачи.

По завершении передачи слова SPI (выставляется бит EOT регистра MCSPI\_CH (i) STAT) принятые данные передаются в регистр приема канала. Этот бит не имеет смысла при использовании буфера для этого канала.

Встроенный FIFO доступен в этом режиме и может быть сконфигурирован в одном направлении данных, передача или прием, тогда FIFO рассматривается как уникальный 64-байтовый буфер. Он также может быть сконфигурирован в обоих направлениях данных, передача и прием, тогда FIFO разделяется на два отдельных 32-байтовых буфера управляющих их собственным адресным пространством.

**24.3.3.4 Подчиненный режим только приема**

Режим ведомого приема является программируемым (параметр MCSPI\_CH (i) CONF [TRM] имеет значение 01).

В режиме только приема регистр передатчика должен быть загружен до выбора McSPI внешним мастер устройством SPI. Регистр передатчика или содержимое FIFO (если включено) всегда загружается в сдвиговый регистр был ли он обновлен или нет. TX\_underflow событие активируется соответствующим образом и не активируется предотвращением передачи.

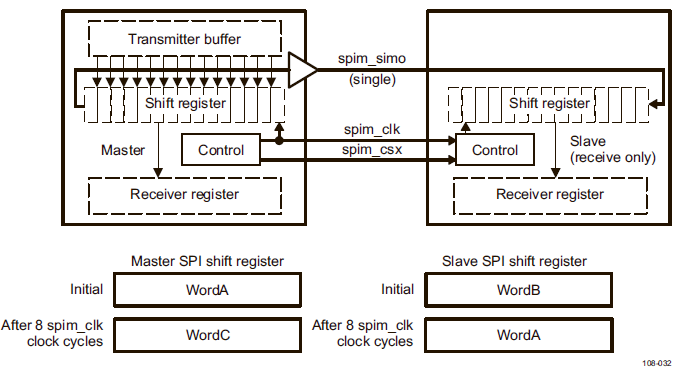
Когда передача слова SPI завершается (бит MCSPI\_CH (i) STAT [EOT] (с I = 0) установлен в 1), принятые данные передаются в регистр приема канала.

Для использования McSPI в качестве ведомого устройства только для приема с MCSPI\_CH (i) CONF [TRM] = 00 пользователь несет ответственность за отключение прерываний TX\_empty и TX\_underflow и запросов записи DMA из-за состояние регистра передатчика.

По завершении передачи слова SPI (установлен бит EOT регистра MCSPI\_CH (i) STAT) принятые данные передаются в регистр приема канала. Этот бит не имеет смысла при использовании буфера для этого канала. Встроенный FIFO доступен в этом режиме и может быть сконфигурирован с битовым полем FFER в регистре MCSPI\_CH (i) CONF, тогда FIFO рассматривается как уникальный 64-байтовый буфер.

На рис. 24-24 показан пример полудуплексной системы с ведущим устройством слева и принимающим ведомым устройством справа. Каждый раз, когда один бит передается от ведущего устройства, один бит передается в ведомое. Если WordA составляет 8 бит, то после восьми циклов последовательного тактового spim\_clk WordA переходит от ведущего к ведомому.

**Рис. 24-24. Полудуплексная передача SPI (подчиненное устройство только для приема)**



**24.3.3.5 Подчиненный режим только передачи**

Режим ведомой передачи является программируемым (MCSPI\_CH (i) CONF [TRM] установлено в 10). Этот режим устраняет необходимость считывания ЦП регистра приемника (минимизация перемещения данных) только тогда, когда передача значима.

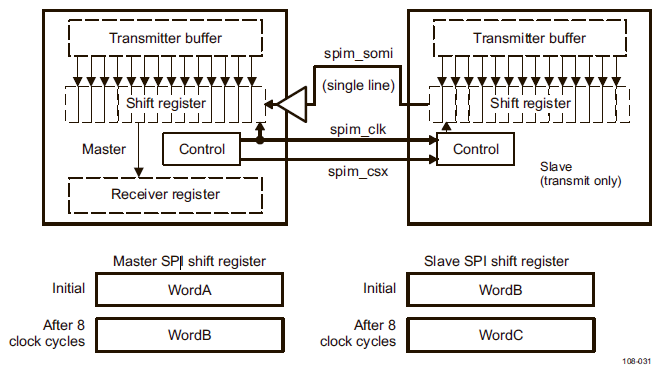
Для использования McSPI в качестве ведомого передающего устройства с MCSPI\_CH (i) CONF [TRM] = 10 пользователь должен отключить прерывания RX\_full и RX\_overflow и запросы чтения DMA из-за состояния регистра приемника.

По завершении передачи слова SPI устанавливает бит EOT в регистре MCSPI\_CH (i) STAT. Этот бит бессмысленен при использовании буфера для этого канала.

Встроенный FIFO доступен в этом режиме и может быть сконфигурирован битовым полем FFER в регистре MCSPI\_CH (i) CONF, тогда FIFO рассматривается как уникальный 64-байтовый буфер.

На рис. 24-25 показана полудуплексная система с ведущим устройством слева и ведомым устройством только для передачи справа. Каждый раз, когда бит передается из ведомого устройства, один бит передается в ведущем устройстве. Если WordB является 8-битным, то после восьми циклов последовательного тактового spim\_clk WordB переходит от ведомого к ведущему.

**Рис. 24-25. Полудуплексная передача SPI (подчиненное устройство только для передачи)**



**24.3.4 Прерывания**

В соответствии с состоянием регистра передатчика и состоянием регистра приемника каждый канал может выдавать событие прерывание события, если оно включено.

События прерывания перечислены в разделе 24.3.2.2 и в разделе 24.3.3.2.

Каждое событие прерывания имеет бит состояния в регистре MCSPI\_IRQSTATUS, который указывает, что требуется обслуживание и бит разрешения прерывания в регистре MCSPI\_IRQENABLE, который разрешает генерацию аппаратных запросов прерываний.

Когда происходит прерывание и оно позже маскируется (IRQENABLE), линия прерывания не устанавливается снова даже если источник прерывания не был обслужен.

McSPI поддерживает управление и опрос прерываний.

**24.3.4.1 Управление прерываниями**

Альтернативно, бит разрешения прерывания в регистре MCSPI\_IRQENABLE может быть установлен для разрешения каждого из событий генерации запроса прерывания при возникновении соответствующего события. Биты состояния автоматически задаются логическими условиями аппаратных средств.

Когда происходит событие (устанавливается одиночная линия прерывания), CPU должен:

- Прочитать регистр MCSPI\_IRQSTATUS, чтобы определить, какое событие произошло,

- Прочтите регистр приемника, соответствующий событию, чтобы удалить источник RX\_full события или сделать запись в регистр передатчика, соответствующий событию, чтобы удалить источник события TX\_empty. Для удаления источника событий не требуется никаких действий TX\_underflow и RX\_overflow.

- Записать 1 в соответствующий бит регистра MCSPI\_IRQSTATUS, чтобы очистить состояние прерывания, и освободить линию прерывания.

Бит состояния прерывания всегда должен быть сброшен после активизации канала и до события включения в качестве источника прерывания.

**24.3.4.2 Опрос**

Если функция прерывания события отключена в регистре MCSPI\_IRQENABLE, линия прерывания не утверждается и:

- Биты состояния в регистре MCSPI\_IRQSTATUS могут быть опрошены программным обеспечением, чтобы определить, когда происходит соответствующее событие.

- Как только происходит ожидаемое событие, CPU должен считывать регистр приемника, соответствующий событию чтобы удалить источник события RX\_full или записать в соответствующий регистр передатчика , чтобы удалить источник события TX\_empty. Не требуется никаких действий для удаления источников событий TX\_underflow и RX\_overflow.

- Запись 1 в соответствующем бите регистра MCSPI\_IRQSTATUS сбрасывает состояние прерывания и не влияет на состояние линии прерывания.

**24.3.5 Запросы DMA**

McSPI может быть соединен с контроллером DMA. На уровне системы преимуществом является освобождение локального хоста от передачи данных.

Согласно состоянию регистра передатчика, состоянию регистра приемника или уровню FIFO (если используется буфер для канала) каждый канал может выдавать запросы DMA, если они активизированы.

Запросы DMA должны быть отключены для получения прерываний TX и RX, чтобы определить либо окончание передачи или передача последних слов для перечисленных ниже режимов:

- Только ведущая передача

- Ведущий обычный режим приема

- Главный турбо режим

- Ведомый только для передачи

На канал приходится две линии запроса DMA. Управление запросами DMA различается в зависимости от использования буфера FIFO или нет.

**24.3.5.1 Буфер FIFO отключен**

Строка запроса чтения DMA устанавливается, когда канал активизирован, и новые данные доступны в приеме регистра канала. Запрос чтения DMA может быть по отдельности маскирован битом DMAR в регистре MCSPI\_CH (i) CONF. Строка запроса чтения DMA отменяется после завершения чтения регистра приема на канале.

Строка запроса записи DMA устанавливается, когда канал активизирован, и регистр передатчика канала пуст. Запрос записи DMA может быть маскирован отдельно битом DMAW в регистре MCSPI\_CH (i) CONF. Строка запроса записи DMA отменяется после завершения загрузки регистра передатчика на канале.

Только одно слово SPI может быть передано/принято по шине OCP для доступа к записи/чтению в регистр передачи или приема.

**24.3.5.2 Буфер FIFO включен**

Строка запроса чтения DMA утверждается, когда канал включен, и количество байтов, определенное в битовом поле MCSPI\_XFERLEVEL[AFL] удерживается в буфере FIFO для принемающем регистре на канале. DMA запрос на чтение может быть по отдельности маскирован битом DMAR регистра MCSPI\_CH (i) CONF. DMA строка запроса на чтение отменяется в первом слове SPI, считанном после завершения регистра приема на канале. Новый запрос DMA не будет назначен снова, пока пользователь не подготовит правильный номер доступа к чтению, определенного в MCSPI\_XFERLEVEL[AFL], он находится в ведении пользователя.

Запроса записи DMA устанавливается, когда канал включен, и количество байтов, удерживаемых в буфере FIFO находится ниже уровня, определенного битовым полем MCSPI\_XFERLEVEL[AEL]. Запрос записи DMA может маскироваться отдельно битом DMAW регистра MCSPI\_CH (i) CONF. Строка запроса записи DMA сбрасывается при завершении загрузки первого слова SPI в регистр передатчика на канале. Новые запросы DMA не будут назначаться снова, пока пользователь не выполнит нужное количество доступов для записи , определяемом в MCSPI\_XFERLEVEL[AEL] это находится в сфере ответственности пользователя.

Только одно слово SPI может быть передано/принято по шине OCP для записи/чтения передачи или приема в FIFO.

**24.3.5.3 Адреса DMA 256-Bit**

Контроллер имеет два регистра, MCSPI\_DAFTX и MCSPI\_DAFRX, используемых только с включенным каналом который управляет FIFO, чтобы быть совместимым с обработчиком DMA, предоставляющим только 256-битовые выровненные адреса.

Эта функция активируется, когда битовое поле MCSPI\_MODULCTRL[FDDA] имеет значение «1» и только один активированный канал имеет битовое поле MCSPI\_CH (i) CONF [FFEW] или MCSPI\_CH (i) CONF [FFER].

В этом случае регистры MCSPI\_TX (i) и MCSPI\_RX (i) не используются, а управление данными осуществляется через регистр MCSPI\_DAFTX и MCSPI\_DAFRX.

**24.3.6 Режим эмуляции**

Входные данные MReqDebug отделяют регулярный доступ процессора (доступ приложения) от доступа через эмулятор(дебаггер).

Доступ через приложению: MReqDebug = 0

В функциональном режиме последствия считывания регистра MCSPI\_RX (i) приемника следующие:

- Источник события RX (i) \_ Full в регистре MCSPI\_IRQSTATUS удаляется, если оно было включено в регистр MCSPI\_IRQENABLE.

- Бит состояния RX (i) S в регистре MCSPI\_IRQSTATUS очищается.

- В главном режиме, в зависимости от циклического арбитража и состояния регистра передатчика, канал может осуществлять доступ к сдвиговому регистру для передачи/приема.

Доступ через эмулятор(дебаггер): MReqDebug = 1

В режиме эмуляции поведение McSPI такое же, как в функциональном режиме, но считывание регистра приемника MCSPI\_RX (i) не является навязчивым:

- MCSPI\_RX (i) по-прежнему считается не прочитанным. Если буфер FIFO включен, указатели не обновляются.

- Источник события RX (i) \_ Full в регистре MCSPI\_IRQSTATUS не удаляется. Бит состояния RX (i) S в регистре MCSPI\_CH (i) STAT поддерживается постоянным.

В режиме эмуляции, как и в функциональном режиме, на основе текущих передач данных биты состояния регистра MCSPI\_CH (i)STAT могут быть дополнительно обновлены, строки запроса прерывания и DMA запросы утверждаются опционально.

**24.3.7 Управление энергосбережением**

Независимо от режимов работы модуля (передачи и/или приема), два режима работы определяется с точки зрения управления питанием: нормальный и неактивный режимы.

Эти два режима являются полностью исключающими по времени.

**24.3.7.1 Нормальный режим(normal)**

Оба интерфейса, или OCP, синхросигнал и синхросигнал SPI (CLKSPIREF), предоставляемые McSPI, должны быть активными для обоих Master и Slave режимов. Автоматическое стробирование синхросигнала OCP модуля и синхросигнала SPI происходит при выполнении следующих условий:

- Установлен бит AutoIdle MCSPI\_SYSCONFIG регистра.

- В главном режиме нет данных для передачи или приема во всех каналах.

- В подчиненном режиме SPI не выбирается внешним ведущим устройством SPI и не имеет доступа к OCP.

Автоматическое стробирование синхросигналов OCP и SPI модуля прекращается при выполнении следующих условий:

- В главном режиме происходит доступ OCP.

- В подчиненном режиме происходит доступ OCP или McSPI выбирается внешним ведущим устройством SPI.

**24.3.7.2 Режим простоя(idle)**

Тактирование OCP и SPI, предоставляемые McSPI, могут быть отключены по запросу диспетчера питания системы и снова включены по запросу модуля.

McSPI соответствует протоколу квитирования управления питанием: запрос на бездействие системы от менеджера питания, подтверждение простоя от McSPI.

Подтверждение простоя в ответ на запрос простоя от диспетчера питания системы варьируется в соответствии с программируемым режимом в регистре MCSPI\_SYSCONFIG: Нет режима ожидания, форсировать режим ожидания, и интеллектуальный режим ожидания.

- При программировании без режима ожидания (бит SIdleMode регистра MCSPI\_SYSCONFIG устанавливается в «01»), модуль игнорирует запрос диспетчера питания системы и ведет себя нормально, как если бы запрос не был утвержден.

- При программировании в режиме интеллектуального простоя (установлен бит SIdleMode регистра MCSPI\_SYSCONFIG в «10»), модуль подтверждает запрос менеджера питания системы в соответствии с его внутренним состоянием.

- При программировании на режим форс-холостого хода (бит SIdleMode регистра MCSPI\_SYSCONFIG устанавливается в «00»), модуль безоговорочно подтверждает запрос диспетчера питания системы.

Синхросигнал OCP будет опционально выключен в течение периода интеллектуального режима ожидания, если бит ClockActivity установлен в регистре MCSPI\_SYSCONFIG.

Синхросигнал SPI будет опционально выключен в течение периода интеллектуального режима ожидания, если второй бит clockActivity установлен в регистре MCSPI\_SYSCONFIG.

McSPI предполагает, что оба тактовых сигнала могут быть отключены независимо от значения, установленного в поле ClockActivity в регистре MCSPI\_SYSCONFIG.

**24.3.7.2.1 Переход из нормального режима в режим Smart-Idle**

Модуль обнаруживает запрос на бездействие, когда подается синхронный сигнал IdleReq.

Если установлен IdleReq, любой доступ к модулю приведет к ошибке, если тактовый сигнал OCP оживает.

При конфигурировании в качестве ведомого устройства McSPI реагирует на запрос на бездействие, подавая сигнал SIdleAck (подтверждение незанятости) только после завершения текущей передачи (сигнал выбора подчиненного устройства SPIEN отменяется внешним ведущим устройством) и если строки запроса прерывания или DMA не задаются.

Как ведущее устройство, McSPI отвечает на запрос на бездействие, подавая сигнал SIdleAck (подтверждение бездействия) только после завершения всех передач данных канала и если запрос прерывания или DMA не утвержден.

Пока SIdleAck не установлен, в случае возникновения события модуль может генерировать прерывание или запрос DMA после утверждения IdleReq. В этом случае модуль игнорирует запрос на бездействие, и SIdleAck не получит утверждения: системный диспетчер питания прервет процедуру перехода в режим питания. Это ответственность системы за отмену утверждения IdleReq перед попыткой доступа к модулю.

Когда утверждается SIdleAck, модуль не выдает никаких новых запросов на прерывание или DMA.

**24.3.7.2.2 Переход из режима Smart-Idle в обычный режим**

McSPI обнаруживает конец периода простоя, когда сигнал запроса простоя (IdleReq) отменяется.

После отмены утверждения IdleReq модуль переключается обратно в обычный режим и сбрасывает сигнал SIdleAck. Модуль полностью работоспособен.

**24.3.7.2.3 Режим форсированного холостого хода**

Режим форсированного простоя включается следующим образом:

- Бит SIdleMode MCSPI\_SYSCONFIG регистра сбрасывается до «00» (Force Idle).

Режим форсированного простоя - это режим простоя, в котором McSPI безусловно отвечает на запрос простоя посредством установления сигнала SIdleAck и безусловного отключения линий запроса прерывания и DMA, если они появляются.

Переход из нормального режима в режим ожидания не влияет на биты события прерывания регистра MCSPI\_IRQSTATUS.

В режиме форс-простоя модуль должен быть отключен в это время, поэтому прерывание и DMA строки запроса, вероятно, отклонены. Тактирование OCP и SPI, предоставляемые McSPI, могут быть отключены.

Запрос на бездействие во время передачи данных SPI может привести к неожиданному и непредсказуемому результату и под ответственность программного обеспечения.

Любой доступ к модулю, находящемуся в режиме принудительного простоя, приведет к ошибке, если тактовый сигнал OCP активен и утверждается IdleReq.

Модуль выходит из режима принудительного простоя, когда:

- Сигнал запроса ожидания (IdleReq) отменяется.

После отмены утверждения IdleReq модуль переключается обратно в обычный режим и сбрасывает сигнал SIdleAck. Модуль полностью работоспособен. Линии запроса прерываний и DMA опционально назначаются на один тактовый цикл позже.

**24.3.8 Режим тестирования системы**

MCSPI находится в режиме системного тестирования (SYSTEST) при установке бита System\_Test регистра MCSPI\_MODULCTRL.

Режим SYSTEST используется для очень простой проверки правильности соединения системы либо внутренний для прерывания обработчика, либо для управления питанием, либо внешний для интерфейса ввода-вывода SPI.

Проверка ввода/вывода может быть выполнена в режиме SYSTEST путем переключения выходов и захвата логического состояния входов. (См. определение регистра MCSPI\_SYST в разделе)

**24.3.9 Сброс**

**24.3.9.1 Контроль внутреннего сброса**

Модуль сбрасывается аппаратными средствами, когда сигнал сброса с активным/низким уровнем, синхронный с интерфейсом OCP синхросигнал устанавливается на входной вывод RESETN.

Этот сигнал аппаратной перезагрузки имеет глобальное действие перезагрузки модуля. Все регистры конфигурации и все состояния машины сбрасываются во всех областях тактовой синхронизации.

Кроме того, модуль может быть сброшен программным обеспечением через бит SoftReset регистра MCSPI\_SYSCONFIG. Этот бит имеет то же действие на логику модуля, что и аппаратный сигнал RESETN. Регистр MCSPI\_SYSCONFIG не чувствителен к сбросу программного обеспечения. Бит управления SoftReset имеет активный высокий уровень. Аппаратное средство автоматически сбрасывает бит на 0.

Глобальный бит состояния ResetDone предоставляется в регистре состояния MCSPI\_SYSSTATUS. Этот бит имеет значение 1 после освобождения всех различных доменов синхронизации (доменов OCP и SPI) (логическое И).

Глобальный бит состояния ResetDone может контролироваться программным обеспечением для проверки готовности модуля к использованию после перезагрузки (аппаратное или программное обеспечение).

Для обеспечения бита состояния ResetDone модуль должен иметь тактовый сигнал CLKSPIREF.

При использовании в подчиненном режиме тактовый сигнал CLKSPIREF необходим только во время фазы сброса. Тактирование CLKSPIREF можно отключить после установки состояния ResetDone.

**24.3.10 Доступ к регистрам данных**

В этом разделе подробно описываются поддерживаемые обращения к данным (чтение или запись) из/в регистры приемника данных MCSPI\_RX (i) и регистры передатчика данных MCSPI\_TX (i).

Поддерживаемый доступ:

McSPI поддерживает только одно слово SPI на регистр (приемник или передатчик) и не поддерживает последовательное 8-битный или 16-битный доступ для одного слова SPI.

Полученное слово SPI всегда правильно оправдано для LSbit 32-битного регистра MCSPI\_RX (i) и SPI слова для передачи всегда правильно оправдано для LSbit 32-битного регистра MCSPI\_TX (i).

Верхние биты, превышающие длину слова SPI, игнорируются, и содержимое регистров данных не сбрасывается между передачей данных SPI.

Когерентность между количеством битов SPI Word, количеством битов доступа и включенным байтом остается в ведении пользователя. Поддерживаются только выровненные доступы.

В режиме Master данные не должны записываться в регистр передачи, когда канал отключен.

**24.3.11 Помощь в программировании**

**24.3.11.1 Инициализация модуля**

- Жесткий или мягкий сброс.

- считать MCSPI\_SYSSTATUS.

- проверьте, выполнен ли сброс.

- Конфигурация модуля: (a) Запись в MCSPI\_MODULCTRL (b) Запись в MCSPI\_SYSCONFIG.

- Перед установкой бита ResetDone в модуль должны быть введены тактовые импульсы CLK и CLKSPIREF.

- Во избежание опасного поведения рекомендуется сбросить модуль перед переходом из режима MASTER в режим SLAVE или из режима SLAVE в режим MASTER.

**24.3.11.2 Общая последовательность передачи**

Модуль McSPI позволяет передавать одно или несколько слов по разным режимам:

- MASTER, MASTER Turbo, SLAVE

- ПЕРЕДАЧА - ПРИЕМ, ТОЛЬКО ПЕРЕДАЧА, ТОЛЬКО ПРИЕМ

- Запросы на запись и чтение: прерывания, DMA

- Утверждение/отклонение линий SPIEN: автоматически, вручную

Для всех этих потоков хост-процесс содержит основной процесс и подпрограммы прерываний. Перерыв подпрограммы вызываются по сигналам прерывания или внутренним вызовом, если модуль используется в режиме опроса.

В многоканальном мастер режиме потоки различных каналов могут выполняться одновременно.

**24.3.11.3 Основная программа**

- Инициализация прерываний: (a) Сброс битов состояния в MCSPI\_IRQSTATUS (b) Включение прерываний в MCSPI\_IRQENA.

- Конфигурация канала: запись MCSPI\_CH (i) CONF.

- Запустить канал: Записать 0x00000\_0001 в MCSPI\_CH (i) CTRL.

- Запрос на первую запись: TX empty - создать событие записи DMA/опрашивать флаг TX empty ЦП для записи передать слово в MCSPI\_TX (i).

- Конец передачи: Остановить канал, записав 0x0000\_0000 в MCSPI\_CH (i) CTRL

Окончание передачи зависит от режима передачи.

В многоканальном главном режиме будьте осторожны, чтобы не перезаписывать биты других каналов при инициализации MCSPI\_IRQSTATUS и MCSPI\_IRQENABLE.

**24.3.12 События прерывания и DMA**

McSPI имеет два запроса DMA (Rx и Tx) на канал. Он также имеет одну линию прерывания для всех запросов прерываний .