**24.1 Введение**

Этот документ предназначен для предоставления программистам функциональной презентации ведущего/ведомого устройства многоканальный интерфейс последовательного порта (McSPI). Он также содержит описание регистра и модуль примера конфигурации.

McSPI - это универсальный главный/подчиненный контроллер приема/передачи, который может взаимодействовать с четырьмя ведомыми внешними устройствами или одним внешним ведущим устройством. Он допускает дуплексную, синхронную, последовательную связь между CPU и совместимыми с SPI внешними устройствами (ведомыми и ведущими).

**24.1.1 Функции McSPI**

Общие характеристики контроллера SPI:

- Буферный регистр данных приема/передачи на канал (глубиной 1 слово)

- Множественный доступ к данным SPI типа **word** с одним каналом с использованием FIFO

- Два запроса DMA на канал, одна линия прерывания

- Одиночная линия прерывания для нескольких событий источника прерывания

- Интерфейс последовательного канала поддерживает:

- Полнодуплексный/полудуплексный

- Многоканальные операции ведущего или одноканального ведомого устройства

- Программируемые 1-32-битные операции передачи/приема.

- Широкий выбор длин слов SPI, непрерывных от 4 до 32 бит

- До четырех каналов SPI

- SPI слово Transmit/Receive slot assignment на основе циклического арбитража

- Конфигурация SPI для каждого канала (определение тактового сигнала, включение полярности и ширины слова)

- Генерация тактирования поддерживает:

- Программируемая генерация главных синхросигналов (работающих с фиксированного 48-MHz функционального входа синхросигналов)

- Выбор фазы тактового сигнала и полярности тактового сигнала для каждой микросхемы.

**24.1.2 Неподдерживаемые функции McSPI**

Это устройство поддерживает только два набора микросхем для каждого модуля. Пробуждение модуля во время работы в подчиненном режиме не поддерживается, как отмечено в McSPI Clock and Reset Management.

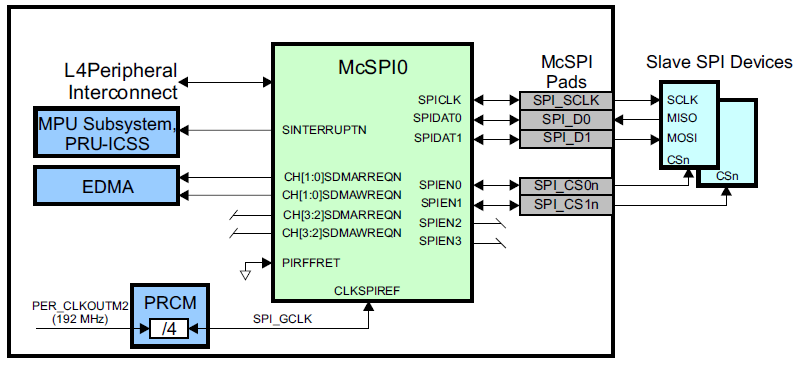
**Таблица 24-1. Неподдерживаемые функции McSPI**

|  |  |
| --- | --- |
| Функция | Причина |
| Chip selects 2 and 3 | Эти выводы не выведены на колодку выводов. |
| Slave mode wakeup | SWAKEUP не подключен |
| Retention during power down | Модуль не синтезирован с включенным сохранением во время включения режима низкого энергопотребления. |

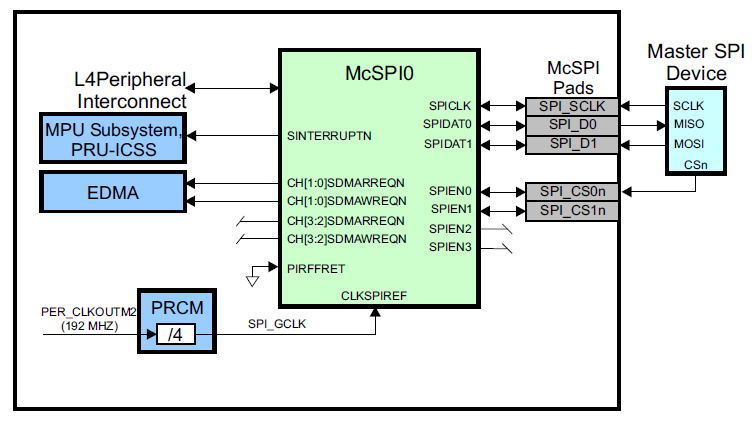
**24.2 Интеграция**

Это устройство включает в себя два экземпляра McSPI: SPI0 и SPI1. Модуль McSPI является модулем общего назначения (главный/подчиненный) контроллер (приема/передачи), который может взаимодействовать либо с четырьмя подчиненными внешними устройствами, либо с одним внешним мастером. На рис. 24-1 показан пример системы с несколькими внешними подчиненными SPI совместимыми устройствами, а на рис. 24-2 показан пример системы с внешним ведущим устройством.

**Рис. 24-1. Работа SPI в ведущем режиме**



**Рис. 24-2. Работа SPI в подчиненном режиме**

****

**24.2.1 Атрибуты подключения McSPI**

Общие атрибуты подключения модуля McSPI приведены в таблице 24-2.

**Таблица 24-2. Атрибуты подключения McSPI**

|  |  |
| --- | --- |
| Attributes | Type |
| Power Domain | Peripheral Domain |
| Clock Domain | PD\_PER\_L4LS\_GCLK (Interface/OCP)  PD\_PER\_SPI\_GCLK (Func) |
| Reset Signals | PER\_DOM\_RST\_N |
| Idle/Wakeup Signals | Smart Idle |
| Interrupt Requests | 1 interrupt to MPU subsystem and PRU-ICSS (McSPI0INT)  1 interrupt to MPU subsystem only (McSPI1INT) |
| DMA Requests | 4 DMA requests per instance to EDMA  • 1 RX request for CS0 (SPIREVT0)  • 1 TX request for CS0 (SPIXEVT0)  • 1 RX request for CS1 (SPIREVT1)  • 1 TX request for CS1 (SPIXEVT1) |
| Physical Address | L4 Peripheral slave port |

**24.2.2 Управление синхронизацией McSPI и сбросом**

Тактирование модуля SPI можно создать двумя способами: самим модулем SPI с помощью сигнала SWAKEUP (подробные условия приведены в функциональной спецификации модуля) или непосредственно от внешнего ведущего устройства SPI посредством обнаружения активного низкого уровня на входном выводе выбора микросхемы (**CS0n**) с помощью GPIO, подключенного к соответствуюему пину устройства. Ни один из этих методов не поддерживается на устройстве.

**Таблица 24-3. Тактовые сигналы McSPI**

|  |  |  |  |
| --- | --- | --- | --- |
| Clock Signal | Max Freq | Reference / Source | Comments |
| CLK Interface clock | 100 MHz | CORE\_CLKOUTM4 / 2 | pd\_per\_l4ls\_gclk From PRCM |
| CLKSPIREF Functional clock | 48 MHz | PER\_CLKOUTM2 / 4 | pd\_per\_spi\_gclk From PRCM |

**24.2.3 Список контактов McSPI**

Выводы интерфейса McSPI приведены в таблице 24-4.

**Таблица 24-4. Список контактов McSPI**

|  |  |  |
| --- | --- | --- |
| Pin | Type | Description |
| SPI*x*\_SCLK | I/O(1) | SPI serial clock (output when master,  input when slave) |
| SPI*x*\_D0 | I/O | Can be configured as either input or  output (MOSI or MISO) |
| SPI*x*\_D1 | I/O | Can be configured as either input or  output (MOSI or MISO) |
| SPI*x*\_CS0 | I/O | SPI chip select 0 output when master,  input when slave (active low) |
| SPI*x*\_CS1 | I/O | SPI chip select 1 output when master,  input when slave (active low) |

*(1) Эти сигналы также используются в качестве входных сигналов для данных повторного времени или синхронизации. Связанный бит CONF\_<module>\_<pin>\_RXACTIVE для этих сигналов должны быть установлены на 1, чтобы разрешить ввод данных обратно в модуль. Рекомендуется также последовательно устанавливать 33-омный резистор (рядом с процессором) на каждом из этих сигналов, чтобы избежать отражения сигнала.*

**24.3 Функциональное описание**

**24.3.1 Передача SPI**

В этом разделе описываются передачи, поддерживаемые McSPI. Протокол SPI является синхронным протоколом что позволяет ведущему устройству инициировать последовательную связь с ведомым устройством. Происходит обмен данными между этими устройствами. Линия выбора подчиненного устройства (SPIEN) может использоваться для выбора отдельного подчиненного устройства. Невыбранные ведомые устройства не влияют на работу шины SPI. Подключеный к нескольким внешним устройствам, McSPI обменивается данными с одним устройством SPI одновременно через два основных режима:

- Режим интерфейса с двумя контактами данных. (См. раздел 24.3.1.1)

- Однодуплексный режим интерфейса (рекомендуется для полудуплексной передачи). (См. раздел 24.3.1.2)

Гибкость McSPI позволяет обмениваться данными с несколькими форматами через программируемые параметры , как описано в разделе 24.3.1.3.

**24.3.1.1 Режим интерфейса с двумя контактами для передачи данных(полнодуплексный)**

Режим интерфейса с двумя контактами передачи данных обеспечивает полнодуплексную передачу по SPI с передачей (сдвигается out serial) и приемом (сдвинут последовательно) данных одновременно по отдельным линиям данных SPIDAT [0] и SPIDAT [1]. Данные, выходящие из главного устройства, передаются по последовательной линии передачи данных, также известной как MOSI: MasterOutSlaveIn. Данные, покидающие подчиненное устройство, выходят из линии приема данных, также известной как MISO: MasterInSlaveOut.

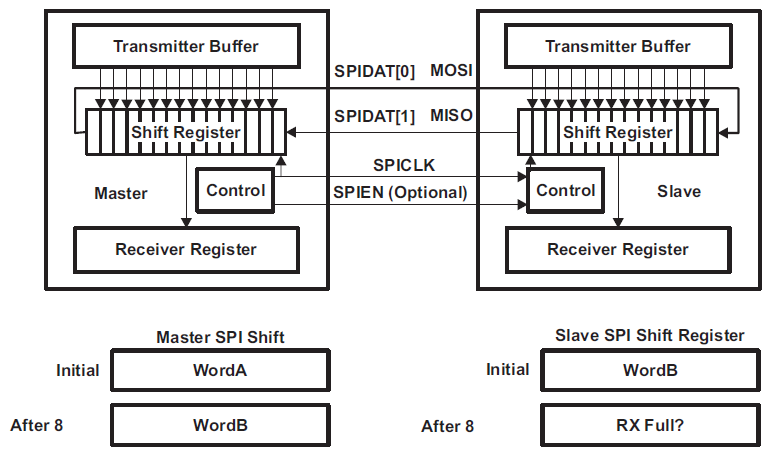
McSPI имеет унифицированное управление портом SPI: SPIDAT [1:0] может быть независимо сконфигурирован как принимающий или передающий канал. Пользователь несет ответственность за программирование линии данных для использования и направления (прием или передача), в соответствии с внешним подчиненным/ведущим соединением.

Последовательный синхросигнал (SPICLK) синхронизирует сдвиг и выборку информации с двух последовательных линий данных (SPIDAT [1:0]). Каждый раз, когда бит передается из ведущего устройства, один бит передается из подчиненного.

На рис. 24-3 показан пример полнодуплексной системы с ведущим устройством слева и ведомым устройством справа. После 8 циклов последовательного синхросигнала SPICLK WordA был перенесен с ведущего на подчиненное. В то же время 8-битный WordB был передан от ведомого к ведущему.

При обращении к ведущему устройству блок управления передает синхросигнал SPICLK и сигнал разрешения SPIEN (необязательно, см., **McSPI\_MODULCTRL**).

**Рис. 24-3. Полнодуплексная передача SPI**



**24.3.1.2 Режим интерфейса с одним выводом данных**

В режиме одиночного контактного интерфейса под управлением программного обеспечения для альтернативной передачи используется одна линия передачи данных и приема данных (полудуплексная передача).

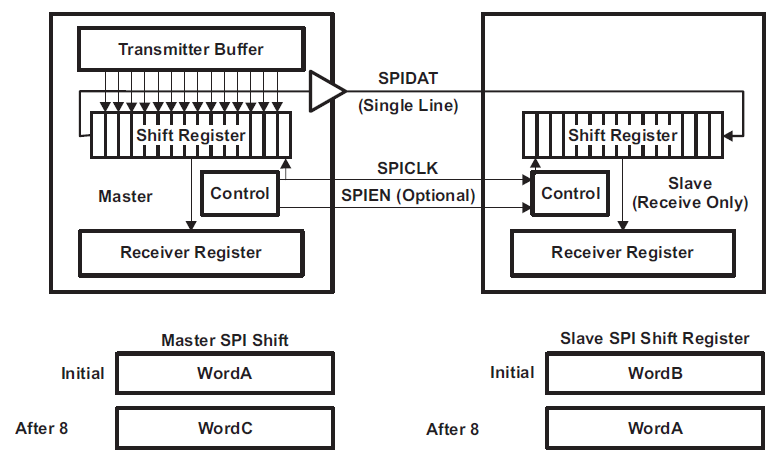
McSPI имеет унифицированное управление портом SPI: SPIDAT [1:0] может быть независимо сконфигурирован как принимающий или передающий канал. Пользователь несет ответственность за программирование линии данных для использования и направления (прием или передача), в соответствии с внешним подчиненным/ведущим соединением.

Что касается полнодуплексной передачи, то последовательный синхросигнал (SPICLK) синхронизирует сдвиг и выборку информации по одиночной последовательной линии данных.

**24.3.1.2.1 Пример с подчиненным устройством только для приема**

На рис. 24-4 показана полудуплексная система с ведущим устройством слева и ведомым устройством только для приема справа. Каждый раз, когда бит передается из ведущего устройства, один бит передается в подчиненном устройстве. После 8 циклов последовательных тактовых импульсов SPICLK, 8-битный WordA был передан от ведущего к ведомому.

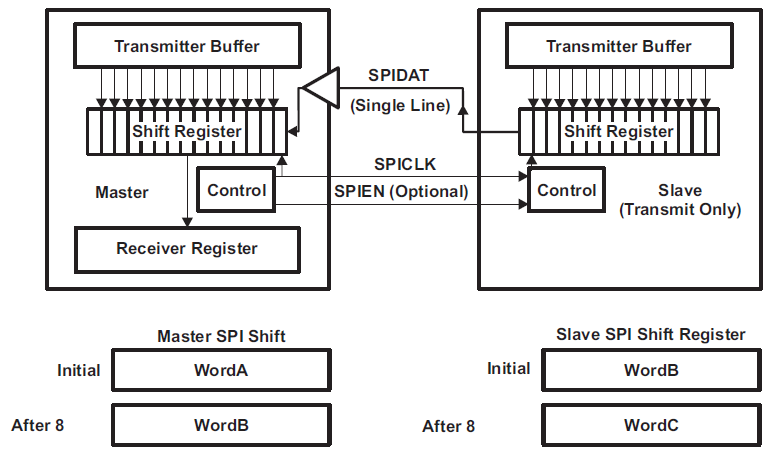
**Рис. 24-4. Полудуплексная передача SPI (подчиненное устройство только приема)**



**24.3.1.2.2 Пример с подчиненным устройством только для передачи**

На рис. 24-5 показана полудуплексная система с ведущим устройством слева и ведомым устройством только для передачи справа. Каждый раз, когда бит передается из подчиненного устройства, один бит передается в ведущем устройстве. После 8 циклов последовательных тактовых импульсов SPICLK, 8-битный WordA был передан из подчиненного устройства в ведущее устройство.

**Рис. 24-5. Полудуплексная передача SPI (подчиненное устройство только для передачи)**



**24.3.1.3 Форматы передачи данных**

В этом разделе описываются форматы передачи, поддерживаемые McSPI.

Гибкость McSPI позволяет устанавливать параметры передачи SPI:

- Длина слова SPI

- включение программируемую генерацию SPI

- включение утверждения SPI

- включение полярности SPI

- тактовая частота SPI

- фаза синхросигнала SPI

- полярность синхросигнала SPI

Согласованность между длиной слова SPI, фазой синхронизации и полярностью синхронизации ведущего устройства SPI и взаимодействующим подчиненным устройством остается под ответственностью программного обеспечения.

**24.3.1.3.1 Длина программируемого слова**

McSPI поддерживает любое слово SPI длиной от 4 до 32 бит.

Длина слова SPI может быть изменена между передачами, чтобы позволить ведущему устройству осуществлять связь с периферийными подчиненными устройствами, имеющими различные требования.

**24.3.1.3.2 Программируемая генерация включения SPI**

McSPI может генерировать или не генерировать SPI enable. Если управление выбором микросхемы прекращено, a соединение «точка-точка» является обязательным. Только одно ведущее или ведомое устройство может быть подключен к шине SPI.

**24.3.1.3.3 Включение программируемого SPI (SPIEN)**

Полярность сигналов SPIEN программируется. Сигналы SPIEN могут быть активными высокими или низкими.

Утверждение сигналов SPIEN программируется. Сигналы SPIEN могут подаваться вручную или автоматически утверждается.

Два последовательных слова для двух различных подчиненных устройств могут идти вместе с активными сигналами SPIEN с различной полярностью.

**24.3.1.3.4 Программируемый синхросигнал SPI (SPICLK)**

Фаза и полярность последовательного синхросигнала SPI программируются, когда McSPI является ведущим устройством SPI или подчиненное устройство SPI. Скорость передачи последовательного синхросигнала SPI программируется, когда McSPI является SPI мастером.

Когда McSPI работает как ведомый, последовательный синхросигнал SPICLK является входом ведущего устройства.

**24.3.1.3.5 Скорость передачи битов(Bit Rate)**

В режиме мастера внутренний опорный синхросигнал **CLKSPIREF** используется в качестве входа программируемого делителя на генерацию битовой скорости последовательного тактового сигнала **SPICLK**. Гранулярность этого делителя частоты может быть изменена.

**24.3.1.3.6 Полярность и фаза**

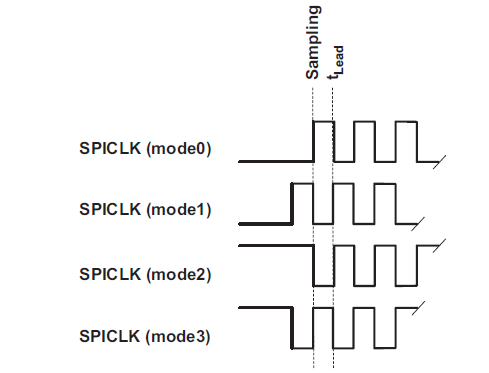
McSPI поддерживает четыре подрежима передачи формата SPI, которые зависят от полярности (POL) и фазы (PHA) последовательного синхросигнала SPI (SPICLK). В таблице 24-5 и на рис. 24-6 представлена сводная информация о четырех подрежимах. Программное обеспечение выбирает одну из четырех комбинаций фазы и полярности последовательного синхросигнала.

Два последовательных слова SPI для двух различных подчиненных устройств могут идти вместе с активным сигналом SPICLK с различной фазой и полярностью.

**Таблица 24-5. Комбинации фаз и полярности**

|  |  |  |  |
| --- | --- | --- | --- |
| Polarity (POL) | Phase (PHA) | SPI Mode | Comments |
| 0 | 0 | mode0 | SPICLK active high and sampling occurs on the rising edge. |
| 0 | 1 | mode1 | SPICLK active high and sampling occurs on the falling edge. |
| 1 | 0 | mode2 | SPICLK active low and sampling occurs on the falling edge. |
| 1 | 1 | mode3 | SPICLK active low and sampling occurs on the rising edge. |

**Рис. 24-6. Комбинации фаз и полярности**



**24.3.1.3.7 Формат передачи с PHA = 0**

В этом разделе описывается концепция передачи SPI с SPI mode0 и SPI mode2.

В формате передачи с PHA = 0 SPIEN активируется полуцикл SPICLK перед первым фронтом SPICLK.

Как в главном, так и в подчиненном режимах McSPI управляет линиями данных во время утверждения SPIEN.

Каждый кадр данных передается, начиная с MSB. В конце обеих линий данных SPI первый бит SPI слово является действительным полупериодом SPICLK после утверждения SPIEN.

Следовательно, первый край линии SPICLK используется ведущим устройством для выборки первого бита данных, посланного ведомым. На том же фронте первый бит данных, посланный ведущим устройством, дискретизируется подчиненным устройством.

На следующем фронте SPICLK принятый бит данных сдвигается в сдвиговый регистр, и новый бит данных передается по последовательной линии передачи данных.

Этот процесс продолжается для общего количества импульсов на линии SPICLK, определенной длиной слова SPI запрограммированого в главном устройстве, причем данные фиксируются на нечетных краях и сдвигаются на четные пронумерованные кромки.

Рис. 24-7 - временная диаграмма передачи SPI для SPI mode0 и SPI mode2, когда McSPI ведущий или ведомый, с частотой SPICLK равной частоте CLKSPIREF. Это не должно быть используется в качестве замены информации о синхронизации SPI и требований, описанных в руководстве по данным.

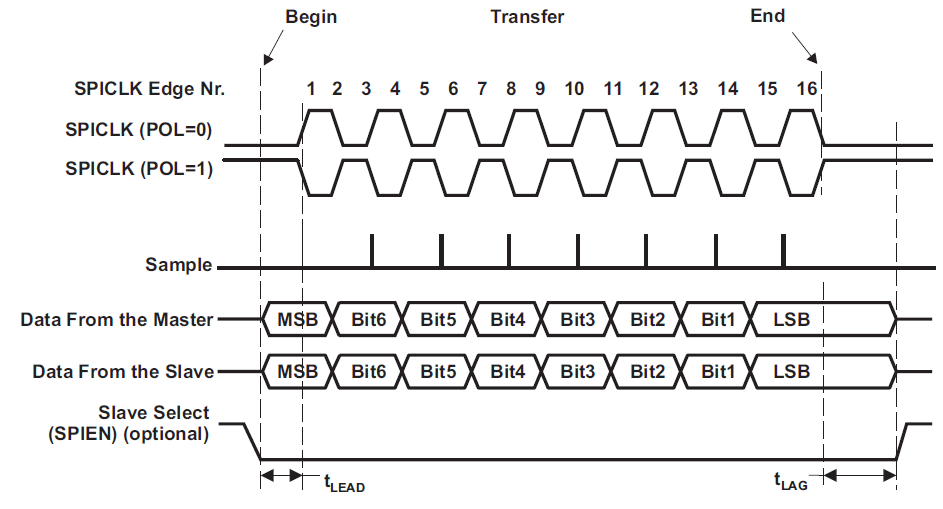
Когда McSPI находится в подчиненном режиме, если линия SPIEN не отменяется между последовательными передачами тогда содержимое регистра передатчика не передается, вместо этого передается последнее принятое SPI словом.

В мастер режиме строка SPIEN должна быть прижата к земле и восстановлена между каждым последовательным словом SPI.

Это происходит потому, что ведомый контакт выбора замораживает данные в своем сдвиговом регистре и не допускает их изменения если бит PHA равен 0.

В 3-контактном режиме без использования сигнала SPIEN контроллер обеспечивает ту же форму сигнала, но с SPIEN принудительно переведеным в низкое состояние. В подчиненном режиме SPIEN бесполезен.

**Рис. 24-7. Формат полнодуплексной одинарной передачи с PHA = 0**



**24.3.1.3.8 Формат передачи с PHA = 1**

В этом разделе описывается полнодуплексная передача SPI с SPI mode1 и SPI mode3.

В формате передачи с PHA = 1 SPIEN активируется с задержкой (**tLead**) перед первым фронтом SPICLK.

Как в главном, так и в подчиненном режимах McSPI управляет линиями данных на первом фронте SPICLK.

Каждый кадр данных передается, начиная с MSB. В конце обеих линий данных SPI первый бит слова SPI становится валидным на следующем крае SPICLK, полуцикла после SPICLK. Это край выборки действует для обоих как мастера так и подчиненного.

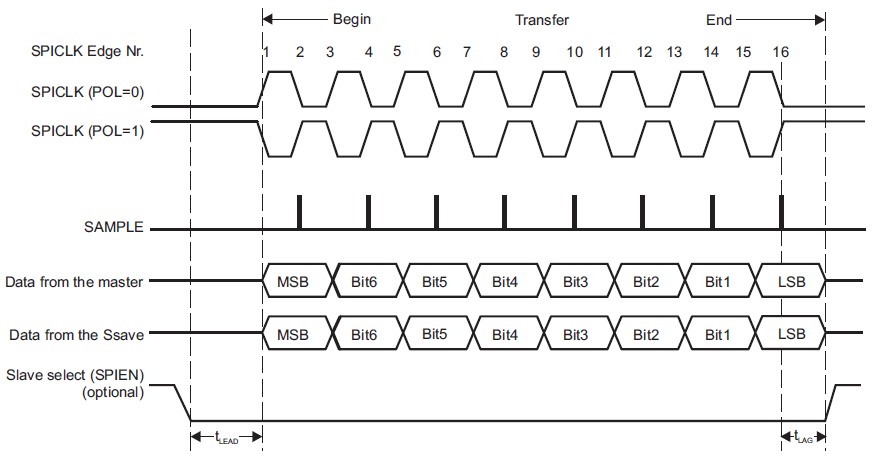
Когда происходит третий фронт, принятый бит данных сдвигается в сдвиговый регистр. Следующий бит данных ведущего устройство подается на последовательный входной вывод ведомого устройства.

Этот процесс продолжается для общего количества импульсов на линии SPICLK, определенной длиной слова, запрограммированной в главном устройстве, причем данные фиксируются на четных краях и сдвигаются на нечетных краях.

Рис. 24-8 - временная диаграмма передачи SPI для SPI mode1 и SPI mode3, когда McSPI ведущий или ведомый, с частотой **SPICLK** равной частоте **CLKSPIREF**. Это не должно быть использовано в качестве замены информации о синхронизации SPI и требований, описанных в руководстве по данным.

Линия SPIEN может оставаться активной между последовательными передачами. В 3-контактном режиме без использования сигнала SPIEN, контроллер обеспечивает ту же форму сигнала, но с SPIEN, принудительно переведенным в низкое состояние. В подчиненном режиме SPIEN бесполезен.

**Рис. 24-8. Формат полнодуплексной одинарной передачи с PHA = 1**



**24.3.2 Режим мастера**

McSPI находится в режиме матера, когда бит MS регистра MCSPI\_MODULCTRL очищен.

В мастер режиме McSPI поддерживает многоканальную связь с 4 мя независимыми SPI каналами связи. McSPI инициирует передачу данных по линиям данных (SPIDAT [1:0]) и генерирует тактовые (SPICLK) и управляющие сигналы (SPIEN) для одного ведомого устройства SPI одновременно.

**24.3.2.1 Выделенные ресурсы на канал**

В следующих разделах буква «i» указывает номер канала, который может быть 0, 1, 2 или 3. Каждый канал имеет следующие выделенные ресурсы:

- Его собственный канал включен, программируется с помощью бита EN регистра MCSPI\_CH (i) CTRL. Выведение из строя канала, вне передачи слова данных, остается под ответственностью пользователя.

- Его собственный регистр передатчика MCSPI\_TX поверх общего регистра сдвига. Если регистр передатчика пустой, установлен бит состояния TXS регистра MCSPI\_CH (i) STAT.

- Его собственный регистр приемника MCSPI\_RX поверх общего регистра сдвига. Если регистр приемника заполнен, установлен бит состояния RXS регистра MCSPI\_CH (i) STAT.

- Фиксированное распределение линий SPI ENABLE (SPIEN [i] порт для канала «i»), управление включением SPI является необязательным.

- Собственная конфигурация связи со следующими параметрами через регистр MCSPI\_CH (i) CONF

- Режимы передачи/приема, программируемые битовым TRM.

- Режим интерфейса (два контакта для передачи данных или один контакт для передачи данных) и назначение контактов для передачи данных, оба программируемые битами IS и DPE.

- длина слова SPI, программируемая битами WL.

- полярность SPIEN, программируемая битом EPOL.

- SPIEN остается активным между словами, программируемым с помощью бита FORCE.

- Турборежим, программируемый с битом TURBO.

- частота SPICLK, программируемая с битом CLKD, гранулярность разделения тактового сигнала может быть измененной с использованием бита CLKG, коэффициент синхронизации затем объединяется со значением MCSPI\_CH (i) CTRL [EXTCLK]

- Полярность SPICLK, программируемая битовым POL

- фаза SPICLK, программируемая битовым PHA.

- Начальная разрядность, программируемая битом SBPOL

- использовать буфер FIFO или нет (см. следующее примечание), программируемый с FFER и FFEW, в зависимости от режима передачи, (MCSPI\_CH (i) CONF [TRM]).

- Два запроса DMA на события чтения и записи для синхронизации доступов чтения/записи контроллера DMA с деятельностью McSPI. Запросы DMA активируются битами DMAR и DMAW.

- Три события прерывания

*Примечание.Если в нескольких каналах установлено битовое поле разрешения FIFO (FFER или FFEW), FIFO не будет использоваться на любом канале. Программное обеспечение должно гарантировать, что только один разрешенный канал настроен для использования буфера FIFO.*

*В передачах будут использоваться последние загруженные параметры регистра MCSPI\_CH (i) CONF.*

*Параметры конфигурации: полярность SPIEN, режим Turbo, фаза SPICLK и полярность SPICLK загружается в регистр MCSPI\_CH (i) CONF только при отключенном канале. Пользователь несет ответственность за изменение других параметров регистра MCSPI\_CH (i) CONF при отсутствии передачи в интерфейсе SPI.*

**24.3.2.2 События прерывания в мастер режиме**

В мастер режиме события прерывания, связаны с состоянием регистра передатчика, TX\_empty и TX\_underflow. Событие прерывания, связанное с состоянием регистра приемника, является RX\_full.

**24.3.2.2.1 TX\_empty**

Событие TX\_empty активируется, когда канал активирован и его регистр передатчика становится пустым (временное событие). Включение канала автоматически вызывает это событие, за исключением только приема в мастер режиме. (См. раздел 24.3.2.5). Если буфер FIFO активизирован (параметр MCSPI\_CH (i) CONF [FFEW] имеет значение 1), то TX\_empty утверждается, как только в буфере достаточно места для записи определенного количества байтов по MCSPI\_XFERLEVEL[AEL].

Для удаления источника прерывания регистр передатчика должен быть загружен и очищен бит статуса прерывание TX\_empty (если событие включено как источник прерывания). (см. Раздел 24.3.4).

При включении FIFO новое событие TX\_empty не будет инициировано, пока CPU не выполнит количество операций записи в регистр передатчика, определенного в MCSPI\_XFERLEVEL[AEL]. Это ответственность ЦП для выполнения нужного количества операций записи.

**24.3.2.2.2 TX\_underflow**

Событие TX\_underflow активируется, когда канал активирован и если регистр передатчика или FIFO пустой (не обновляемый новыми данными) во время назначения сдвигового регистра.

Это TX\_underflow является безобидным предупреждением в мастер режиме.

Во избежание TX\_underflow события в начале передачи TX\_underflow события не активируется, когда данные не загружены в регистр передатчика с момента включения канала.

Во избежание возникновения TX\_underflow события регистр передачи (MCSPI\_TX (i)) должен быть загружен как можно реже.

TX\_underflow отмены подтверждения линии прерывания должен быть сброшен бит состояния прерывания (если событие включено как источник прерывания).

*Примечание.Если в нескольких каналах установлено битовое поле разрешения FIFO (FFER или FFEW), FIFO не будет использоваться на любом канале. Программное обеспечение должно гарантировать, что только один разрешенный канал настроен для использования буфера FIFO.*

**24.3.2.2.3 RX \_ full**

Событие RX\_full активируется при включении канала и заполнении регистра приемника (переходный процесс). Если буфер FIFO активизирован (параметр MCSPI\_CH (i) CONF [FFER] имеет значение 1), RX\_full устанавливается при количество байтов в буфере равного уровню, определенному MCSPI\_XFERLEVEL[AFL].

Регистр приемника должен быть считан для удаления источника прерывания RX\_full а бит состояния прерывания должен быть очищен для отмены подтверждения линии прерывания (если событие включено в качестве источника прерывания).

Когда FIFO включен, новое событие RX\_FULL не будет инициировано после пока CPU не прочитает номер байтов, определенных в MCSPI\_XFERLEVEL[AFL]. В обязанности ЦП входит выполнение правильного количество операций чтения.

**24.3.2.2.4 Окончание подсчета слов.(EOW)**

Счетчик окончания события (EOW) активируется, когда канал включен и сконфигурирован для использования встроенного FIFO. Это прерывание возникает, когда контроллер выполнил количество передач, определенного в регистре MCSPI\_XFERLEVEL[WCNT]. Если значение было запрограммировано на 0000h, счетчик не включается и это прерывание не генерируется.

Прерывание счетчика EOW также указывает, что передача SPI остановлена в канале с использованием буфера FIFO.

Бит состояния прерывания EOW должен быть сброшен для отмены подтверждения линии прерывания (если событие активизировано как источник прерывания).